

(19) 日本国特許庁(JP)

(12) 特許公報(B1)

(11) 特許番号

特許第5298259号
(P5298259)

(45) 発行日 平成25年9月25日(2013.9.25)

(24) 登録日 平成25年6月21日(2013.6.21)

(51) Int.Cl. F 1
A 6 1 B 1/04 (2006.01) A 6 1 B 1/04 3 6 2 J

請求項の数 15 (全 35 頁)

(21) 出願番号	特願2013-514487 (P2013-514487)	(73) 特許権者	304050923
(86) (22) 出願日	平成24年9月18日 (2012.9.18)		オリンパスメディカルシステムズ株式会社
(86) 国際出願番号	PCT/JP2012/073787		東京都渋谷区幡ヶ谷2丁目4番2号
審査請求日	平成25年4月2日 (2013.4.2)	(74) 代理人	100076233
(31) 優先権主張番号	特願2011-207465 (P2011-207465)		弁理士 伊藤 進
(32) 優先日	平成23年9月22日 (2011.9.22)	(74) 代理人	100101661
(33) 優先権主張国	日本国(JP)		弁理士 長谷川 靖
早期審査対象出願		(74) 代理人	100135932
			弁理士 篠浦 治
		(72) 発明者	大河 文行
			東京都渋谷区幡ヶ谷2丁目4番2号 オ
			リンパスメディカルシステムズ株式会社内
		(72) 発明者	小西 純
			東京都渋谷区幡ヶ谷2丁目4番2号 オ
			リンパスメディカルシステムズ株式会社内
			最終頁に続く

(54) 【発明の名称】 内視鏡

(57) 【特許請求の範囲】

【請求項1】

挿入部の先端部に搭載された撮像素子と、
前記撮像素子を駆動するための複数の異なる電源電圧を有する電源、前記撮像素子を駆動する駆動信号、該駆動信号で駆動された前記撮像素子から出力される撮像信号、及びゲラウンドレベルを伝達する配線と、
前記配線の中継するコネクタを設けた基板と、
前記複数の異なる電源電圧を比較する第1の電圧比較部と、
前記複数の異なる電源電圧から、前記複数の異なる電源電圧とはそれぞれ異なる複数の第2の電源電圧を生成する電源生成部と、
前記複数の第2の電源電圧を比較する第2の電圧比較部と、
前記第1の電圧比較部の比較結果、及び前記第2の電圧比較部の比較結果に基づき、前記撮像素子への電源供給を制御する電源供給制御部と、
を備えることを特徴とする内視鏡。

【請求項2】

前記第1の電圧比較部は、前記基板に設けられ、前記第1の電圧比較部は、前記複数の電源電圧とそれぞれ所定の閾値とを比較することにより、各電源電圧が正常な電圧の範囲内であるか否かの比較結果を出力し、前記電源供給制御部は、前記基板に設けられ、前記電源供給制御部は、前記第1の電圧比較部の前記比較結果が前記正常な電圧の範囲内の場合には、前記撮像素子への電源供給を行うように制御し、前記第1の電圧比較部の前記比

較結果が前記正常な電圧の範囲外の場合には、前記撮像素子への電源供給を停止するように制御することを特徴とする請求項 1 に記載の内視鏡。

【請求項 3】

前記電源供給制御部は、前記第 1 の電圧比較部の前記比較結果が前記正常な電圧の範囲外となる異常電圧の場合には、前記異常電圧の発生を告知する告知信号を、前記内視鏡が着脱自在に接続され、前記撮像素子に対する信号処理を行う信号処理装置に送信する告知信号送信部を有することを特徴とする請求項 2 に記載の内視鏡。

【請求項 4】

前記第 1 の電圧比較部の前記比較結果が前記正常な電圧の範囲外となる異常電圧の場合には、前記第 1 の電圧比較部は、前記異常電圧が入力される前記電源生成部の動作を停止することを特徴とする請求項 3 に記載の内視鏡。

10

【請求項 5】

前記第 1 の電圧比較部及び前記電源供給制御部は、プログラム可能に構築される F P G A を用いて構成されることを特徴とする請求項 4 に記載の内視鏡。

【請求項 6】

前記電源供給制御部は、前記告知信号を、該告知信号以外の他の信号に重畳して前記内視鏡が着脱自在に接続される前記信号処理装置に送信する告知信号重畳部を有することを特徴とする請求項 5 に記載の内視鏡。

【請求項 7】

さらに、前記コネクタにおける隣接する 2 つのコネクタ接点ピンによりそれぞれ中継された前記複数の異なる電源電圧を有する電源における異なる 2 つの電源電圧間の差電圧を生成する減算回路と、前記減算回路により生成された前記差電圧と、前記 2 つのコネクタ接点ピン間の短絡ないしは絶縁不良を検出するために設定された閾値とを比較する比較回路とを備え、前記電源供給制御部は、前記比較回路による比較結果に基づいて、前記撮像素子への電源供給を制御することを特徴とする請求項 1 に記載の内視鏡。

20

【請求項 8】

さらに、前記コネクタにおける隣接する 2 つのコネクタ接点ピンによりそれぞれ中継された前記複数の異なる電源電圧を有する電源における異なる 2 つの電源電圧間の差電圧を生成する減算回路と、前記減算回路により生成された前記差電圧と、前記 2 つのコネクタ接点ピン間の短絡ないしは絶縁不良を検出するために設定された閾値とを比較する比較回路とを備え、前記電源供給制御部は、前記比較回路による比較結果に基づいて、前記撮像素子への電源供給を制御することを特徴とする請求項 3 に記載の内視鏡。

30

【請求項 9】

さらに、前記コネクタにおける隣接する 2 つのコネクタ接点ピンによりそれぞれ中継された前記複数の異なる電源電圧を有する電源における異なる 2 つの電源電圧間の差電圧を生成する減算回路と、前記減算回路により生成された前記差電圧と、前記 2 つのコネクタ接点ピン間の短絡ないしは絶縁不良を検出するために設定された閾値とを比較する比較回路とを備え、前記電源供給制御部は、前記比較回路による比較結果に基づいて、前記撮像素子への電源供給を制御することを特徴とする請求項 6 に記載の内視鏡。

【請求項 10】

さらに、前記基板は、前記内視鏡が着脱自在に接続される外部装置内に設けられた電源回路から前記電源生成部に供給される前記電源の電源電流が所定値以上の過大電流で有るか否かを検知する過大電流検知回路を有し、前記過大電流検知回路が過大電流を検知した場合には、過大電流が検知された電源電流を遮断することを特徴とする請求項 4 に記載の内視鏡。

40

【請求項 11】

さらに、前記基板は、前記内視鏡が着脱自在に接続される外部装置内に設けられた電源回路から前記電源生成部に供給される前記電源の電源電流が所定値以上の過大電流で有るか否かを検知する過大電流検知回路を有し、前記過大電流検知回路が過大電流を検知した場合には、過大電流が検知された電源電流を遮断することを特徴とする請求項 7 に記載の

50

内視鏡。

【請求項 1 2】

さらに、前記基板は、前記内視鏡が着脱自在に接続される外部装置内に設けられた電源回路から前記電源生成部に供給される前記電源が ON、OFF される場合、前記電源が OFF されたタイミングから短い時間 t_1 後に前記電源生成部が生成する前記複数の第 2 の電源電圧を遮断し、前記電源が ON されたタイミングから前記時間 t_1 より大きい時間 t_2 後に前記電源生成部が生成する前記複数の第 2 の電源電圧を出力させるように ON にする電源 ON / OFF 制御回路を有することを特徴とする請求項 4 に記載の内視鏡。

【請求項 1 3】

前記基板は、前記内視鏡が前記信号処理装置に着脱自在に接続されるコネクタ内に設けられたコネクタ基板と、前記内視鏡の挿入部の先端部に設けられ、前記撮像素子が接続される先端部基板とを有し、前記配線は前記コネクタ基板と前記先端部基板間を着脱自在に接続することを特徴とする請求項 3 に記載の内視鏡。

10

【請求項 1 4】

前記基板は、前記内視鏡が前記信号処理装置に着脱自在に接続されるコネクタ内に設けられたコネクタ基板と、前記内視鏡の挿入部の先端部に設けられ、前記撮像素子が接続される先端部基板とを有し、前記配線は前記コネクタ基板と前記先端部基板間を着脱自在に接続することを特徴とする請求項 8 に記載の内視鏡。

【請求項 1 5】

前記基板は、さらに前記内視鏡における前記挿入部の基端に設けられた操作部内に配置された操作部基板を有し、前記配線は前記コネクタ基板と前記操作部基板間を着脱自在に接続する第 1 のケーブルと、前記操作部基板と前記先端部基板間を着脱自在に接続する第 2 のケーブルとを備えて構成されることを特徴とする請求項 1 4 に記載の内視鏡。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像素子を備えた内視鏡に関する。

【背景技術】

【0002】

近年、医療用分野及び工業用分野において撮像素子を設けた内視鏡が広く用いられるようになってきている。

30

内視鏡は、体腔内等への挿入性を確保するために、細径の挿入部を有するものが望まれる。

また、挿入部の先端部に搭載される撮像素子も小型のサイズのもので用いられる。撮像素子を駆動するためには、電圧が異なる複数の電源と、撮像素子を電気的に駆動する駆動信号と、駆動信号の印加により撮像素子から出力される撮像信号などを伝送する複数の信号線からなるケーブルを挿入部に挿通することが必要になる。

また、内視鏡検査の用途に応じて固体撮像素子の画素数などが異なる各種の内視鏡が実用化され、内視鏡が着脱自在に接続される信号処理装置としてのプロセッサ側の負担も大きくなる。

40

【0003】

このため、個々の内視鏡側に、その内視鏡に搭載されている撮像素子に対応した駆動信号を生成し、かつ撮像素子から出力される撮像信号に対してその撮像素子に適した前処理を行う回路基板（単に基板とも言う）を設けることにより、種類が異なる内視鏡の場合にも、負担を軽減した共通のプロセッサを用いて内視鏡検査を行うようにすることが望まれる。

内視鏡内部に基板を設ける場合、良好な組立性等を確保するためには、ケーブル（配線）を中継する小型のコネクタも必要になり、小型のコネクタを用いた場合には、隣接するコネクタ接点ピン間の間隔も小さくなる。このため、コネクタ接点ピン間の短絡などに対応した対策が必要になる。

50

【 0 0 0 4 】

例えば日本国特開 2 0 0 8 - 3 0 7 2 9 3 号公報の第 1 の従来例には、挿入部の先端部に搭載される撮像素子と回路基板を備えた撮像装置としてグラウンド信号線結束部をずらした位置に配置して、撮像装置へのケーブルの半田付け作業を行い易い構造にしている。

【 0 0 0 5 】

また、日本国特開 2 0 0 8 - 2 9 5 5 8 9 号公報の第 2 の従来例には、スタンバイ状態においても電圧検知機能を動作させるように駆動電源の電圧値の変化を検出する内視鏡装置が開示されている。

【 0 0 0 6 】

しかしながら、上述した第 1 及び第 2 の従来例とも、コネクタ接点ピン間の短絡に対応していない。例えば異なる電源電圧に接続されたコネクタ接点ピン間が短絡に近い異常状態であるが、内視鏡画像上では直ちに異常とならないような場合がある。このような場合には、その内視鏡が内視鏡検査に継続して使用されてしまう可能性がある。

このような状態で、内視鏡検査に使用すると、熱傷が発生したり、発熱などのために温度に対する耐性が弱い電子部品等が損傷する等して内視鏡検査中に内視鏡画像が表示できなくなるような不具合が発生する可能性がある。

【 0 0 0 7 】

このため、このような異常状態を速やかに検出でき、その異常状態を速やかに解消する対策を施すことができ、内視鏡検査中での不具合の発生を低減できる内視鏡装置が望まれる。

本発明は上述した点に鑑みてなされたもので、小型のコネクタを用いて複数の電源電圧で撮像素子を駆動したり、基板内の回路を動作させるような場合においても、短絡等による電源電圧の異常状態を速やかに検出して、異常状態を解消し易い内視鏡を提供することを目的とする。

【 発明の開示 】

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の一態様の内視鏡は、挿入部の先端部に搭載された撮像素子と、前記撮像素子を駆動するための複数の異なる電源電圧を有する電源、前記撮像素子を駆動する駆動信号、該駆動信号で駆動された前記撮像素子から出力される撮像信号、及びグラウンドレベルを伝達する配線と、前記配線の中継するコネクタを設けた基板と、前記複数の異なる電源電圧を比較する第 1 の電圧比較部と、前記複数の異なる電源電圧から、前記複数の異なる電源電圧とはそれぞれ異なる複数の第 2 の電源電圧を生成する電源生成部と、前記複数の第 2 の電源電圧を比較する第 2 の電圧比較部と、前記第 1 の電圧比較部の比較結果、及び前記第 2 の電圧比較部の比較結果に基づき、前記撮像素子への電源供給を制御する電源供給制御部と、を備える。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 図 1 は本発明の第 1 の実施形態における内視鏡装置の全体構成を示す図。

【 図 2 A 】 図 2 A は第 1 の実施形態の内視鏡における電気系の構成を示す図。

【 図 2 B 】 図 2 B は図 2 A の内視鏡と一部が異なる内視鏡における電気系の構成を示す図。

【 図 2 C 】 図 2 C は図 2 A におけるマイクロコネクタ基板の裏面を示す図。

【 図 2 D 】 図 2 D はコネクタ基板を 1 枚の A / D 基板により形成した内視鏡における電気系の構成を示す図。

【 図 2 E 】 図 2 E は静電気等から保護する入力保護回路の回路構成を示す回路図。

【 図 3 】 図 3 は図 2 A の具体的な構成を示す図。

【 図 4 A 】 図 4 A は C C D 電源電圧監視回路の構成を示す図。

【 図 4 B 】 図 4 B は図 4 A の変形例の C C D 電源電圧監視回路の構成を示す図。

【 図 4 C 】 図 4 C は C C D 電源電圧監視回路と共に、C C D とタイミングジェネレータの

10

20

30

40

50

電源電圧の過電流を検知する過電流検知回路が設けられた構成を示す図。

【図 4 D】図 4 D は内視鏡内において電源 ON / OFF 制御する場合の特性を示す図。

【図 4 E】図 4 E は、図 4 D の特性で電源 ON / OFF 制御する場合の回路構成を示す図。

【図 5 A】図 5 A は F P G A からタイミングジェネレータに接続されたケーブルを駆動する駆動手段の構成を示す図。

【図 5 B】図 5 B は電源 ON / OFF の際にプロセッサ側から送信される特定のパルス信号に基づいて、内視鏡側での電源 ON / OFF 等の制御を行うタイミングを示す図。

【図 5 C】図 5 C はプロセッサ側から入力されるクロックに対応した出力クロックを生成する場合のクロックを確定させる動作等を行う CLK 確定判定回路の構成を示す図。

【図 5 D】図 5 D は垂直同期信号出力回路の構成を示すブロック図。

【図 5 E】図 5 E は、図 5 D の動作説明図。

【図 6 A】図 6 A は C C D と接続されたケーブルがマイクロコネクタを介して中継された構造を示す図。

【図 6 B】図 6 B はマイクロコネクタにより各種の信号線の中継する場合のコネクタ接点ピンの配置例を示す図。

【図 7】図 7 はマイクロコネクタ基板における各種の信号線の半田付け部分を樹脂でコーティングする様子の説明図。

【図 8 A】図 8 A はインタフェース基板におけるプリントパターンの露出する回路部分を樹脂でコーティングする様子の説明図。

【図 8 B】図 8 B は、図 8 A における樹脂でコーティングされる入力回路部の回路構成を示す図。

【図 8 C】図 8 C は C C D を間欠駆動した場合のアンプに入力される C C D 出力信号の波形を示す図。

【図 8 D】図 8 D は休止領域の信号をクリップして C C D の有効画素領域の信号を増幅するアンプの回路構成を示す図。

【図 9】図 9 は特定のコネクタ接点ピン間に未接続のコネクタ接点ピンを設けたマイクロコネクタを示す図。

【図 10 A】図 10 A はダミー部品を用いて腐食の発生を検出する腐食異常検出装置の構成を示す図。

【図 10 B】図 10 B は図 10 A の変形例のダミー部品の構成を示す図。

【図 11】図 11 は図 4 A の変形例の C C D 電源電圧監視回路の構成を示す図。

【図 12】図 12 は図 4 A の他の変形例の C C D 電源電圧監視回路の構成を示す図。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して本発明の実施形態を説明する。

(第 1 の実施形態)

図 1 に示すように本発明の第 1 の実施形態を備えた内視鏡装置 1 は、撮像素子を備えた内視鏡 2 A と、内視鏡 2 A が着脱自在に接続され、内視鏡 2 A に照明光を供給する光源装置 3 と、内視鏡 2 A が着脱自在に接続され、信号処理などを行う信号処理装置としてのプロセッサ 4 と、プロセッサ 4 により生成された画像信号を内視鏡画像として表示する表示装置としてのモニタ 5 とを備える。

光源装置 3 , プロセッサ 4 には、図 1 に示す内視鏡 2 A の他に、図 2 B に示す内視鏡 2 B も着脱自在に接続でき、内視鏡 2 A の場合と同様に内視鏡検査に使用することができる。なお、図 1 における点線で示す構成に関しては、後述する。

【0011】

内視鏡 2 A は、体腔内に挿入される細長の挿入部 6 と、この挿入部 6 の後端に設けられた操作部 7 と、この操作部 7 から延出されたユニバーサルコード 8 とを有する。ユニバーサルコード 8 は、その基端付近又は途中でライトガイドコード 9 と、信号コード (信号ケーブル) 10 に分岐する。ライトガイドコード 9 の端部の光源用コネクタ 11 は、光源装

10

20

30

40

50

置 3 に着脱自在に接続され、信号コード 10 の端部の信号用コネクタ 12 は、内視鏡 2 A , 2 B の外部装置としてのプロセッサ 4 に着脱自在に接続される。

挿入部 6、操作部 7、ユニバーサルコード 8 内には照明光を伝送するライトガイド 13 が挿通されている。そして、光源用コネクタ 11 を光源装置 3 に接続することにより、光源装置 3 からの照明光をライトガイド 13 により伝送し、挿入部 6 の先端部 14 に設けられた照明窓に取り付けられたライトガイド先端面から、伝送した照明光を出射する。また、光源用コネクタ 11 と信号用コネクタ 12 とが一体となったコネクタを光源装置 3 に接続し、信号用コネクタ 12 の信号を、光源装置 3 とプロセッサ 4 を接続するケーブルにより、プロセッサ 4 とやり取りする構成にしても良い。

【 0 0 1 2 】

先端部 14 には照明窓に隣接して観察窓（撮像窓）が設けられ、観察窓には照明された患部等の被写体の光学像を結ぶ対物レンズ 15 が取り付けられている。この対物レンズ 15 の結像位置には撮像素子としての電荷結合素子（CCD と略記）16 が配置されている。

本実施形態においては、先端部 14 内における CCD 16 近傍付近には CCD 16 を駆動する駆動信号を生成する駆動信号生成回路をとしてのタイミングジェネレータ（TG と略記）17 を含む先端部基板 18 が配置されている。

先端部基板 18 は、挿入部 6 内に挿通された総合同軸ケーブル 21 を介して操作部 7 内に設けた操作部基板 22 と接続され、この操作部基板 22 は、ユニバーサルコード 8 内に挿通された総合同軸ケーブル 23 を介して信号用コネクタ 12 の内部に設けたコネクタ基板 24 と接続される。

【 0 0 1 3 】

また、このコネクタ基板 24 は、細線同軸ケーブル 25 を介して、プロセッサ 4 に着脱自在に接続されるコネクタ 26 に接続される。

なお、上記総合同軸ケーブル 21、23、細線同軸ケーブル 25 は、CCD 16 に電源、駆動信号等を伝送（伝達）する配線を構成する。上記細線同軸ケーブル 25 は、内視鏡組立のために細線同軸ケーブル 25 部分を掠って、フォーミングされる。

掠った際に、信号伝送に用いる LVDS（Low Voltage Differential Signaling）ペアが離れて放射ノイズを増大させることが懸念され、放射ノイズを低減するために細線同軸ケーブル 25 としてツイナックスを用いている。なお、コネクタ 26 は、図 2 A において説明するように 2 つの基板を含む。

【 0 0 1 4 】

プロセッサ 4 は、撮像素子等の動作に必要な複数の異なる電源電圧の電源を発生する電源回路 27 と、撮像素子から出力される撮像信号に対する信号処理を行う信号処理回路 28 と、電源回路 27 及び信号処理回路 28 を含む制御を行う制御回路 29 とを備える。

図 2 A は図 1 における内視鏡 2 A の電気系の構成を示す。

先端部基板 18 に一端（先端）が半田付けで接続された総合同軸ケーブル 21 の他端（後端）は小型のコネクタとしてのマイクロコネクタ（MC と略記）31 を搭載した MC 基板 32 に半田付けで接続され、この MC 基板 32 の MC 31 は、操作部基板 22 のマイクロコネクタ受け（MC 受けと略記）33 に接続される。なお、先端部基板 18 と総合同軸ケーブル 21 とを MC、MC 受けで接続しても良い。MC 基板 32 は、点線で示すシールドケース 32 a により、メカニカルにも操作部基板 22 に固定される。なお、先端部基板 18 に接続された総合同軸ケーブル 21 は、操作部基板 22 において中継されて総合同軸ケーブル 23 と接続され、この総合同軸ケーブル 23 の基端はコネクタ基板 24 に接続されるが、総合同軸ケーブル 21、23 の総合ケーブル GND と、この総合ケーブル GND によりシールドされたその内側に配置されている各信号用の同軸ケーブルの GND とは内視鏡 2 A における挿入部 6 から信号コード 10 の基端までの範囲にわたって分離されている。

【 0 0 1 5 】

また、操作部基板 22 に一端（先端）が半田付けで接続された総合同軸ケーブル 23 の

10

20

30

40

50

他端（後端）はMC基板34に半田付けで接続され、このMC基板34に搭載された小型のコネクタとしてのMC35は、コネクタ基板24を構成するインタフェース基板（IF基板と略記）24AのMC受け36に接続される。

このIF基板24Aに設けたコネクタ受け37には細線同軸ケーブル38の一端に設けたコネクタ38aが接続され、その他端のコネクタ38bはアナログ・デジタル変換回路（A/Dと略記）を搭載したA/D基板24Bのコネクタ受け39に接続される。また、このA/D基板24Bに設けた小型のコネクタ受けとしてのコネクタ受け40には細線同軸ケーブル25の一端に設けた小型のコネクタとしてのコネクタ25aが接続され、その他端のコネクタ25bは、コネクタ26内のサイズが大きい方の丸型基板41のコネクタ受け41aに接続される。この丸型基板41はコネクタ41b、コネクタ受け42aを介してサイズが小さい方の丸型基板42に接続される。

10

【0016】

丸型基板41、42は、コネクタプラグ26aと半田付けで接続される。コネクタプラグ26aは、プロセッサ4のコネクタレセプタクル（コネクタ受け）に着脱自在に接続される。

なお、図2Aにおいては、コネクタ基板24は、IF基板24AとA/D基板24Bとの2枚で形成されているが、後述する図2Dで示す内視鏡第2Cにおいては、コネクタ基板24は1枚のA/D基板24Cにより構成され、このA/D基板24Cは、IF基板24Aの機能を含む。

また、図2Aに示すようにコネクタ基板24を、IF基板24AとA/D基板24Bとの2枚の構成にした場合、IF基板24A側にはケーブル長、ケーブル長の補正情報、ケーブル長等の検知回路等を格納したROMを設け、A/D基板24B側にはCCD16の画素数、種類等に関する情報を格納したROMを設けるようにしても良い。なお、A/D基板24Bの種類が増えた場合に対しても、IF基板24A側でCCD16、ケーブルに関する情報を全て纏めて保持するようにし、A/D基板24Bの種類を減らすようにしても良い。

20

【0017】

一方、後述する1枚のA/D基板24Cの場合には、ケーブル長、そのケーブル長の補正情報、ケーブル長等の検知回路、CCDの種類等に関する情報を纏めて搭載するようにしても良い。

30

図2Aにおいて点線で示すように総合同軸ケーブル21は、挿入部6の外装部材によるシールド部材により44aによりシールドされている。また、このシールド部材44aは、操作部7の外装部材によるシールド部材44bと電気的に接続される。このシールド部材44bは、ユニバーサルコード8の外装部材によるシールド部材44cと電気的に接続されている。そして、シールド部材44cは、さらに信号用コネクタ12のシールド部材に接続される。

【0018】

なお、図2Aにおいては、信号用コネクタ12のシールド部材としては、IF基板24A、及びA/D基板24Bをそれぞれシールド部材44d、44eでシールドしている。

40

これらのシールド部材は信号用コネクタ12内のIF基板24A、又はA/D基板24Bにおける1点又は複数の点でグラウンドと導通（図示略）させている。

また、IF基板24Aに設けたコネクタ受け45にはフレキシブル基板により構成されたスイッチフレキ基板46のコネクタ46aが接続される。このスイッチフレキ基板46は、スイッチケーブルの一端が半田付けされ、このスイッチケーブルの他端は、操作部7に取り付けられるスコープスイッチ47を構成するフレキ基板47aに半田付けで接続される。

【0019】

このフレキ基板47aのコネクタ47bは、スイッチボックスフレキ基板47cのコネクタ受け47dに接続される。スイッチボックスフレキ基板47cのコネクタ受け47e

50

にはさらにスイッチを中継するスイッチ中継フレキ基板 4 7 f のコネクタ 4 7 g が接続される。また、内視鏡 2 A において、内視鏡挿入形状を検出する挿入形状検出ユニット (UPD ユニットと略記) 4 8 を備えたものもある。

この場合には、信号用コネクタ 1 2 の丸型基板 4 2 には、図 2 A における 2 点鎖線で示すように UPD ユニット 4 8 の UPD フレキ基板 4 8 a が接続され、この UPD フレキ基板 4 8 a は中継する UPD 中継基板 4 8 b を介して UPD 基板 4 8 c と接続される。この UPD 基板 4 8 c は、挿入部 6 内に配置される UPD プローブユニット 4 8 d と接続される。

【0020】

内視鏡 2 A において、さらに対物レンズ 1 5 の焦点を切り替える図示しない焦点切替ユニットを備えたものも用意されており、この場合には対物レンズ 1 5 の焦点を切り替えるアクチュエータを駆動する駆動基板が丸型基板 4 1 に接続される。

なお、MC 基板 3 2, 3 4、操作部基板 2 2, IF 基板 2 4 A、A/D 基板 2 4 B、丸型基板 4 1, 4 2、UPD 中継基板 4 8 b、UPD 基板 4 8 c は、リジット基板であり、フレキ基板 4 7 a、スイッチボックスフレキ基板 4 7 c、スイッチ中継フレキ基板 4 7 f は、フレキシブル基板により構成される。

上述した内視鏡 2 A において、操作部 7 に操作部基板 2 2 を設けていない内視鏡を図 2 B に示す。

この内視鏡 2 B には、操作部 7 に操作部基板 2 2 を設けてないので、総合同軸ケーブル 2 1 の他端は、信号用コネクタ 1 2 内の MC 3 4 と接続される。

【0021】

また、内視鏡 2 A との部品の共通化を達成するために、IF 基板 2 4 A には操作部基板 2 2 と同等の操作部基板 2 2 の機能を搭載されている。そして、内視鏡 2 B においては、この IF 基板 2 4 A の操作部基板 2 2 を動作状態又は活性状態 (図 2 B において実線で示している) にすることにより、A/D 基板 2 4 B は、操作部 7 に操作部基板 2 2 が設けていない内視鏡 2 B の場合にも、内視鏡 2 A の場合と同じ処理を行うことで、いずれの内視鏡 2 A、2 B の場合にも対応できるようにしている。

内視鏡 2 A に搭載された IF 基板 2 4 A においては、IF 基板 2 4 A 内の操作部基板 2 2 の機能を無効にしている (図 2 A では点線で示している)。内視鏡 2 B におけるその他の構成は、内視鏡 2 A と同じであるため、A/D 基板 2 4 B 等の図示を省略している。

なお、IF 基板 2 4 A と A/D 基板 2 4 B は、後述する LPF 5 2 i の前で分離している。

【0022】

なお、図 2 A における MC 基板 3 2 における (MC 3 1 が設けられた面を表面としてその) 裏面を図 2 C に示す。MC 基板 3 2 における裏面には、全面が金属面となるベタグラウンド面 3 2 b が形成されている。そして、MC 3 1、MC 受け 3 3 間によるグラウンド (電位) の接続と共に、ベタグラウンド面 3 2 b に当接するシールドケース 3 2 a によってもグラウンドの電氣的接続を行うことができるようにして、不要なノイズ放射等を低減できるようにしている。なお、上述したシールド部材の導電性が良好な場合には、上記のように全面が金属面となるベタグラウンド面 3 2 b を形成するパターンにし、シールド部材の導電性が悪い部分でベタグラウンド面 3 2 b との電氣的接続がばらつく場合には、ベタグラウンド面 3 2 b を無くす構成にしても良い。また、ベタグラウンド面 3 2 b は、シールド部材とのメカニカル接点が取れる金属面があれば、全面のベタグラウンド面 3 2 b で無く一部に設けたグラウンド面にしても良い。

また、本実施形態においては、図 2 A、図 2 B で示す内視鏡 2 A、2 B の他に、図 2 D に示すようにコネクタ基板 2 4 を (IF 基板 2 4 A と A/D 基板 2 4 B との 2 枚の構成でなく)、A/D 基板 2 4 C のみとした内視鏡 2 C の構成にしても良い。この内視鏡 2 C は、図 2 B の場合と同様に操作部 7 には操作部基板 2 2 が設けてない構成である。

【0023】

その他の構成は、図 2 B に示す内視鏡 2 B と殆ど同じ構成であるため、同一の構成要素

10

20

30

40

50

には同じ符号を付け、その説明を省略する。プロセッサ 4 には、この内視鏡 2 C も着脱自在に接続してすることができ、プロセッサ 4 はこの内視鏡 2 C が接続された場合にも、内視鏡 2 A 又は 2 B が接続された場合と同様に、内視鏡 2 C に搭載された撮像素子等に対応した処理を行う。

なお、コネクタ 2 6 における例えば丸型基板 4 1 には図 2 E に示すように内視鏡 2 A 内の回路を静電気等の過大な電圧から保護する入力保護回路 2 0 が設けてある。プロセッサ 4 側からコネクタプラグ 2 6 a を介して内視鏡 2 A に入力される信号は、バッファ 2 0 a を介してコネクタ基板 2 4 側に出力される。

このバッファ 2 0 a の入力端は、過大な電圧を所定電圧にするツェナーダイオード（定電圧ダイオード）2 0 b 及びブルダウンする抵抗 2 0 c により保護されている。つまり、バッファ 2 0 a の入力端は、カソードが接続されたツェナーダイオード 2 0 b により、そのアノードが接地されると共に、抵抗 2 0 c を介して接地されている。

【 0 0 2 4 】

そして、コネクタプラグ 2 6 a に静電気等の過大な電圧が入力された場合には、ツェナーダイオード 2 0 b により許容される所定電圧のツェナー電圧に電圧降下させると共に、抵抗 2 0 c によってもグラウンド側に放電し、過大な電圧を速やかに低減する。なお、ツェナーダイオード 2 0 b のツェナー電圧は許容される所定電圧（例えば 1 0 V 程度）に設定され、また抵抗 2 0 c は実際に入力される信号に対しては、小さな負荷となるような抵抗値に設定される。

図 2 E では 1 つの入力保護回路 2 0 を示しているが、コネクタプラグ 2 6 a を介してコネクタ基板 2 4 側に入力される複数の信号に対して同様の入力保護回路 2 0 を設けるようにしても良い。

【 0 0 2 5 】

なお、内視鏡 2 A からコネクタプラグ 2 6 a を介してプロセッサ 4 側に信号を出力する場合に対しても、信号を出力するバッファの出力端にツェナーダイオード及び抵抗 2 0 c を設けてバッファの出力端を静電気等の過大な電圧から保護するようにしても良い。

図 3 は、内視鏡 2 A における電気系の詳細な構成を示す。A / D 基板 2 4 B 内には、プログラム可能な L S I（大規模集積回路）としての Field-Programmable Gate Array（FPGA と略記）5 1 が設けられ、この FPGA 5 1 は CCD 1 6 を駆動するための同期信号の伝送制御、各種のタイミング信号に対する伝送処理、CCD 1 6 から出力される撮像信号から高速の信号伝送を行う信号形態に変換する処理、電源電圧に対する処理などを担う。

【 0 0 2 6 】

そして、FPGA 5 1 はコネクタ 2 5 a を介してプロセッサ 4（の信号処理回路 2 8 及び制御回路 2 9）側と、JTAGSEL, VD/TMS、HD/TCK, REG_TXD/TDO, REG_RXD/TDI, NCJD1, 2, SC_CLK_EN, CLK±, 映像出力(LVDS)の送受を行う。

また、A / D 基板 2 4 B には、プロセッサ 4 の電源回路 2 7 から複数の電源電圧の電源が供給される。

JTAGSEL は、JTAG (Joint Test Action Group) を利用してプロセッサ 4 側から ROM 5 2 c に格納する FPGA 5 1 のデータを書き換えるような場合において、利用する信号となる。

【 0 0 2 7 】

また、VD, HD は垂直及び水平の同期信号を表し、それぞれ TMS (Test Mode Select), TCK (Test Clock) と選択的に使用される。

また、REG_TXD は FPGA 5 1 からプロセッサ 4 側に送信データを送信する場合の信号を表し、TDO (Test Data Out) の信号と選択的に使用される。

また、REG_RXD はプロセッサ 4 側から FPGA 5 1 が受信データを受信する場合の信号と、TDI (Test Data In) の信号と選択的に使用される。

NCJD1, 2 は、各内視鏡 2 A に搭載された CCD 1 6 の種類を検知する CCD 検知

10

20

30

40

50

抵抗 5 2 a からの信号を表す。

【 0 0 2 8 】

また、S C _ C L K _ E N は、プロセッサ 4 から電源、クロックが立ち上がる場合に前もって（直前に）内視鏡 2 A 側の F P G A 5 1 に通知するパルスの信号であり、またプロセッサ 4 の電源が O F F にされた場合にもその O F F の信号を前もって F P G A 5 1 に通知し、内視鏡 2 A 側で所定のシャットダウン処理を行えるようにする（後述の図 5 B において説明）。

C L K ± は、プロセッサ 4 から F P G A 5 1 に供給されるクロックであり、F P G A 5 1 は C L K ± に同期した動作を行う。C L K ± は、小振幅、かつ低消費電力で比較的に高速の差動インタフェースとなる L V D S を採用している。

映像出力は F P G A 5 1 からプロセッサ 4 側に L V D S で出力される。

【 0 0 2 9 】

J T A G S E L の信号は、インバータ 5 2 b を介して F P G A 5 1 に入力されると共に、F P G A データの書き込み用メモリとしての R O M 5 2 c に接続された信号線上に設けた 3 ステートバッファ 5 2 d の開閉を制御する。

V D / T M S 、 H D / T C K 、 R E G _ R X D / T D I の各信号は、F P G A 5 1 に入力端に入力されると共に、3 ステートバッファ 5 2 d を介して R O M 5 2 c の入力端に入力される。V D / T M S と H D / T C K は F P G A 5 1 の入力端にも入力する。

また F P G A 5 1 の出力端は、3 ステートバッファ 5 2 d を介して R E G _ T X D / T D O の信号線に接続され、この信号線には F P G A 5 1 の出力端も接続されている。

【 0 0 3 0 】

また、R O M 5 2 c の入出力端は、3 ステートバッファ 5 2 d を介すること無く、コネクタ 5 2 e と接続され、このコネクタ 5 2 e から R O M 5 2 c に、F P G A 5 1 によりプログラム可能に構築する L S I を決定するプログラムデータとしての F P G A データの書き込みを行うことができるようにしている。また、R O M 5 2 c の入出力端は、F P G A 5 1 に接続されている。

【 0 0 3 1 】

また、F P G A 5 1 には、内視鏡 2 A の各固有の識別情報（I D）に関する情報（例えば機種名等）を格納した I D 用 R O M 5 2 f が接続されている。

また、F P G A 5 1 には、F P G A に対して、C C D 1 6 の種類等を判別させる F P G A 用 C C D 判別回路 5 2 g が接続されている。この F P G A 用 C C D 判別回路 5 2 g は、例えば C C D 1 6 の種類を判別させる抵抗値を持つ抵抗により構成される。

F P G A 5 1 は、C C D 1 6 を駆動する駆動信号を生成するのに必要な例えば 4 つの信号を操作部基板 2 2 内に設けた L V D S レシーバ 5 4 a に送信する。

L V D S レシーバ 5 4 a は、ドライバ 5 4 b を駆動し、ドライバ 5 4 b は、生成した水平転送信号 H 及び垂直転送信号 V を先端部基板 1 8 の T G 1 7 に送信する。T G 1 7 は、4 つの信号（例えば S 、 R S 、 P 、 P D N ）からなる C C D 駆動信号を C C D 1 6 に印加し、C C D 1 6 により光電変換された信号電荷を撮像信号として出力させるように駆動する。L V D S レシーバ 5 4 a と、ドライバ 5 4 b は、I F 基板 2 4 A にも配置してあって、操作部基板 2 2 を用いて駆動信号を生成する場合には、I F 基板 2 4 A 側に配置した L V D S レシーバ 5 4 a と、ドライバ 5 4 b との回路をスルーする。一方、操作部基板 2 2 を用いない場合には、I F 基板 2 4 A 側に配置した上記回路を用いることで I F 基板 2 4 A の実装前の基板種を減らすことが可能になる。

【 0 0 3 2 】

なお、図 3 においては、C C D 1 6 と、先端部基板 1 8 とを含めて S I P 1 9 として示している。

I F 基板 2 4 A は、操作部基板 2 2 に電源を供給する操作部基板電源回路 5 3 a を備え、操作部基板電源回路 5 3 a は、L V D S レシーバ 5 4 a と、ドライバ 5 4 b に動作に必要な電源を供給する。

また、I F 基板 2 4 A は、内視鏡 2 A 内に設けられた電源生成手段としての C C D ・ T

10

20

30

40

50

G電源回路53bを備え、CCD・TG電源回路53bは、CCD16とTG17とに複数の電源電圧を供給する。図3の例ではCCD・TG電源回路53bは、CCD16には電源線60a、60bを介して異なる電源電圧の電源VDD1A、VDD1Bを供給し、TG17には、VDD2-VDD4を供給する。

【0033】

本実施形態においては、CCD16は、4チャンネルの信号を出力する出力機能を有し、CCD16から出力される4チャンネルの撮像信号は、4つのトランジスタからなるトランジスタアレイ(図3ではTrアレイと略記)55から4チャンネル(図3ではAch, Bch, Cch, Dchと略記)の低インピーダスの撮像信号を出力する。

なお、CCD16の出力信号をトランジスタアレイ55に直接出力する代わりに、相関二重サンプリング回路を介してトランジスタアレイ55に出力する構成にしても良い。

4チャンネルの撮像信号は、IF基板24A内の第1のアナログ回路53cに入力される。第1のアナログ回路53cは、入力される撮像信号をそれぞれ増幅する4つのアンプ53dにより構成される。

【0034】

アンプ53dによりそれぞれ増幅された撮像信号は、A/D基板24B内の第2のアナログ回路52hに入力される。第2のアナログ回路52hも4チャンネルに対応して4チャンネル分の回路が設けてある。例えばDchの撮像信号は、LPF52i、黒レベルを基準としてクランプを行うクランプ回路52j、不要なレベルをクリップするクリップ回路52k、アンプ52lを経て第2のアナログ回路52hの出力信号となる。他のチャンネルも同様の構成である。

第2のアナログ回路52hの出力信号は、4チャンネルのA/D変換回路部(図3では単にA/Dと略記)52mに入力され、デジタルの撮像信号に変換される。なお、A/D変換回路部52mには、FPGA51からA/D変換を行うA/D変換用のクロックADCLKが印加され、A/D変換回路部52mは、このクロックADCLKに同期してA/D変換を行う。

【0035】

また、A/D変換回路部52mは、A/D変換した4チャンネルのA/D変換出力信号を6対のA/D変換出力信号(映像チャンネル、クロック、フレーム)にして、FPGA51に出力する。FPGA51は、4チャンネルの信号から3チャンネルの信号に変換し、プロセッサ4側に3チャンネルのLVDS方式での映像信号を出力する。LVDS方式においても、EMIに対して配慮することが望ましい。具体的な内容は以下になる。内視鏡2Aに搭載したCCD16を駆動するに際し、映像信号の方式と同様に、水平方向のタイミングと垂直方向のタイミングを考慮する。このとき、水平方向においてCCD16を駆動してCCD16から信号を取り出している期間や、CCD16の駆動をせずに信号も取り出さない期間が存在する。後者をHブランキングとすれば、HブランキングにおいてEMIに配慮すべく、駆動クロック(例えば30MHz)を分周して分周クロック(30MHzの1/2の15MHz)を生成して、Hブランキングに重畳させると良い。その場合、LVDSによって伝送する過程で、放射ノイズを抑制するように働く。垂直方向におけるVブランキングにおいても同様に、分周クロックを重畳させることが良い。また、電源回路27からの複数の電源電圧(図4Aに示すV1、V2を含む)で供給される電源は、電源線(60a、60bを含む)を介してIF基板24A内のCCD・TG電源回路53b(内のCCD電源回路53b)に供給されると共に、A/D基板24B内のA/D変換回路部52nにより、デジタルの電圧に変換された後、FPGA51(により構築される図4Aに示すCCD電源電圧監視回路63)に出力される。

また、図3に示すようにコネクタ基板24における例えばA/D基板24B内には、このコネクタ基板24内の回路(具体的には第1のアナログ回路53cや第2のアナログ回路53h等)に動作に必要な電源電圧を発生する基板内回路用電源回路52pが設けてある。この基板内回路用電源回路52pは、プロセッサ4の電源回路27に接続された電源線60a、60bから電源電圧として、後述する+5V_AFE1、-5V_AFE1、

10

20

30

40

50

+ 5 V_{AFE2} , - 5 V_{AFE2}等を生成する。

【0036】

また、操作部7のスコプスイッチ47は、ユニバーサルコード内の同軸ケーブル、信号用コネクタ12内の波形整形バッファを介してFPGA51に入力される。例えばスコプスイッチ47に設けられる4つのスイッチSW1 - SW4のON/OFF信号と、アクチュエータを搭載した場合においては望遠(TELE)と広角(WIDE)の操作信号がFPGA51に入力される。これらスイッチ情報は、FPGA51でパラレル-シリアル変換され、制御信号ラインを介してプロセッサ4へ伝送される。

図4Aは、内視鏡2Aのコネクタ基板24内に設けられ、CCD16側に電源を供給する場合の電源電圧を監視するCCD電源電圧監視回路63の構成を示す。なお、図3に示すCCD・TG電源回路53bの場合のようにCCD16側と共に、TG17側にも電源を供給する場合の電源電圧も監視する構成にしても良い。

10

【0037】

細線同軸コネクタ受け40は、小型のコネクタ25aのコネクタ接点ピンとそれぞれ接触することにより、電氣的に接続されるコネクタ受け接点ピン40a, 40b, 40c, ...を有する。なお、コネクタ受け接点ピン40a, 40bとコネクタ受け接点ピン40cは、コネクタ25aを設けた細線同軸ケーブル25等を介して、プロセッサ4の電源回路27の電源出力端と制御回路29とにそれぞれ接続される。従って、コネクタ受け接点ピン40a, 40bにはプロセッサ4側の電源回路27から電源電圧(電圧と略記することもある)V1, V2の電源が供給される。

20

コネクタ受け接点ピン40aは、電源線60aを介して(入力される複数の異なる電源電圧V1, V2とは異なる複数の定電源電圧(定電圧と略記)を生成する電源生成手段としての)CCD電源回路53bを形成する第1定電圧回路61aの入力端と接続され、コネクタ受け接点ピン40bは電源線60bを介してCCD電源回路53bを形成する第2定電圧回路61bの入力端と接続されている。

第1定電圧回路61a、第2定電圧回路61bは、入力端に入力される電源電圧V1, V2からそれぞれ異なる所定の定電圧(図3ではVDD1A, VDD1B)に変換して、電源線60a, 60bを介してCCD16の電源端にそれぞれ出力する。なお、電源線60a, 60bはCCD16の電源端に至る途中において小型のコネクタとしてのMC31, 35等で中継される。

30

【0038】

また、電源線60a, 60bの電源電圧は、A/D変換回路部52nを構成するA/D変換回路62a, 62bにより、デジタルの電圧に変換された後、FPGA51内(より具体的にはFPGA51の一部により構築される)CCD電源電圧監視回路63に入力される。

CCD電源電圧監視回路63は、A/D変換回路62a, 62bによりそれぞれ生成されたデジタルの電圧V1, V2と閾値Vt1, Vt2とを比較する比較回路64a, 64bと、比較回路64a, 64bにそれぞれ閾値Vt1, Vt2を出力する閾値を格納したメモリとしてのROM65と、比較回路64a, 64bの比較結果が入力されることにより、CCD電源回路53bによる電源供給の動作を制御する電源供給制御部66とを備える。

40

【0039】

また、CCD電源電圧監視回路63は、電源供給制御部66が電圧が異常であるとの異常判定信号を出力する場合には、その異常を告知するための告知信号を生成する告知信号生成回路67を備える。なお、告知信号生成回路67を電源供給制御部66の内部に設けるようにしても良い。

閾値の格納手段としてのROM65は、正常な状態での電圧V1, V2よりも若干小さい閾値Vt1a, Vt2aを格納すると共に、電圧V1, V2よりも若干大きい閾値Vt1b, Vt2bを格納し、比較回路64aには閾値Vt1として2つの閾値Vt1a, Vt1bを出力し、比較回路64bには閾値Vt2として2つの閾値Vt2a, Vt2bを

50

出力する。

【 0 0 4 0 】

比較回路 6 4 a , 6 4 b は、それぞれウインドウ型比較回路であり、電圧 V_1 が閾値 V_{t1a} より大きいかな否か、また電圧 V_1 が閾値 V_{t1b} より小さいかな否かを比較し、比較結果を電源供給制御部 6 6 に出力する。なお、図 4 A においては、比較回路 6 4 a 及び 6 4 b を比較回路 6 4 で示している。

電源供給制御部 6 6 は、電圧 V_1 が $V_{1a} > V_1 > V_{t1b}$ の条件を満たす場合に、電圧 V_1 が正常な範囲内の電圧であると判定し、また同様に電圧 V_2 が $V_{2a} > V_2 > V_{t2b}$ の条件を満たす場合に、電圧 V_2 が正常な範囲内の電圧であると判定する。

一方、電源供給制御部 6 6 は、電圧 V_1 が $V_{1a} > V_1 > V_{t1b}$ の条件を満たさない場合に、電圧 V_1 が正常でない異常電圧の状態であると判定し、また同様に電圧 V_2 が $V_{2a} > V_2 > V_{t2b}$ の条件を満たさない場合に、電圧 V_2 が正常でない異常電圧の状態であると判定する。

【 0 0 4 1 】

また、電源供給制御部 6 6 は、電圧 V_1 が異常電圧であると判定した場合には、第 1 定電圧回路 6 1 a の (定電圧の電源を生成する) 動作を停止させるように制御すると共に、スイッチ 6 1 c を OFF にして第 1 定電圧回路 6 1 a から CCD 1 6 に供給する定電圧を遮断するように制御する。

また、電源供給制御部 6 6 は、電圧 V_2 が異常電圧であると判定した場合には、第 2 定電圧回路 6 1 b の動作を停止させるように制御すると共に、スイッチ 6 1 d を OFF にして第 2 定電圧回路 6 1 b から CCD 1 6 に供給する定電圧を遮断するように制御する。

第 1 定電圧回路 6 1 a の出力端に設けたスイッチ 6 1 c を、第 1 定電圧回路 6 1 a の内部に設け、そのスイッチを OFF にするようによい。第 2 定電圧回路 6 1 a の出力端に設けたスイッチ 6 1 d の場合も同様に適用できる。

【 0 0 4 2 】

なお、電源供給制御部 6 6 は、電圧 V_1 , V_2 とともに正常であると判定した場合には、CCD 電源回路 5 3 b の動作を続行させる。

また、告知信号生成回路 6 7 は、電源供給制御部 6 6 が電圧 V_1 又は V_2 が異常電圧であると判定した場合の異常判定信号が入力されると、電圧 V_1 又は V_2 が異常電圧であると告知する告知信号を生成する。

告知信号生成回路 6 7 は、この告知信号をプロセッサ 4 側に伝送する場合、この告知信号を専用に伝送する信号線で送信するのではなく、他の信号に所定のタイミングに重畳して、その信号を伝送する信号線によりプロセッサ 4 側に送信する告知信号送信手段を有する。例えば図 3 の REG - TXD / TD0 の信号や、垂直同期信号 VD に重畳 (挿入) して送信する。このため、告知信号生成回路 6 7 は、本来の制御信号等に告知信号を重畳する告知信号重畳回路 6 7 a を備える。この告知信号は、例えばコネクタ接点ピン 4 0 c を介してプロセッサ 4 の制御回路 2 9 側に送信される。

このようにすると、まれに使用するための告知信号を伝送する専用の信号線を設けることを不要にできる。

【 0 0 4 3 】

制御回路 2 9 は、制御信号等に重畳された告知信号を受信した場合には、その告知信号を信号処理回路 2 8 に出力し、信号処理回路 2 8 は、映像信号中に告知信号を重畳する。そして、モニタ 5 は、内視鏡画像と共に、告知信号を表示する。

このような構成の内視鏡 2 A は、挿入部 6 の先端部 1 4 に搭載された撮像素子としての CCD 1 6 と、前記撮像素子を駆動するための複数の異なる電源電圧を有する電源、前記撮像素子を駆動する駆動信号、該駆動信号で駆動された前記撮像素子から出力される撮像信号、及びグラウンドレベルを伝達する配線としての総合同軸ケーブル 2 1、2 3 と、前記配線の中継するマイクロコネクタ 3 1 , 3 5 等のコネクタを設けた基板としての操作部基板 2 2、コネクタ基板 2 4 と、前記複数の異なる電源電圧を比較する電圧比較手段としての比較回路 6 4 と、前記電圧比較手段の比較結果に基づき、前記撮像素子への電源供給

10

20

30

40

50

を制御する電源供給制御手段としての電源供給制御部 66 と、を備えることを特徴とする。

【0044】

そして、本実施形態においては、撮像素子としての CCD 16 側に供給される複数の電源電圧をそれぞれ監視し、電源線 60a, 60b や電源線 60a、60b が断線したり、これらの中継する小型のコネクタのコネクタ接点ピン間の短絡（または短絡に至らない絶縁不良）等による異常電圧が発生したか否かを判定する。異常電圧が発生した異常状態と判定した場合には、電源供給制御部 66 は CCD 16 への電源供給を遮断する制御を行うと共に、告知信号生成回路 67 に異常電圧の発生を告知する告知信号を生成させ、プロセッサ 4 側に送信させる。

10

プロセッサ 4 の制御回路 29 は、告知信号を信号処理回路 28 に出力し、信号処理回路 28 は、映像信号中に告知信号を重畳する。そして、モニタ 5 は、内視鏡画像と共に、告知信号を表示し、術者は告知信号により、電源電圧 V1 又は V2 において異常電圧が発生したことを速やかに認識することができる。

従って、異常電圧が発生した内視鏡 2A に対して、その異常電圧の発生に対応した修理などを速やかに行うことができ、異常状態を解消できる。また、異常電圧が発生した異常状態のままで継続して使用すること（この場合には、より重度の異常状態が発生する可能性がある）を低減できると共に、修理しない異常状態のまま、次回の内視鏡検査に使用してしまうことを未然に防止できる。

【0045】

20

なお、ROM 65 は、異常電圧であるか否かを判定するための閾値の情報を予め格納しているが、プロセッサ 4 側が、このプロセッサ 4 に実際に接続される内視鏡 2A に応じて異常電圧であるか否かを判定するための閾値の情報を FPGA 51 側に送信し、FPGA 51 が ROM 65 にその情報を格納するような構成にしても良い。

この構成の場合には、初期状態等において、内視鏡 2A の FPGA 51 がプロセッサ 4 側から上記閾値の情報を受け取り、その情報を用いて異常電圧であるか否かの判定を行うことになる。このような構成にした場合には、プロセッサ 4 に実際に接続して使用する内視鏡 2A 等の種類が異なるような場合（例えば電源に対する負荷の大きさが異なるような場合）にも、閾値をより適切な値に設定することができる。

【0046】

30

このように閾値をより適切な値に設定することにより、プロセッサ 4 に実際に接続される内視鏡 2A 等に対して、電圧が正常な状態から異常となる異常状態をより早期の段階で判定することができる。

図 4A の CCD 電源電圧監視回路 63 の構成例においては、電圧比較手段としての比較回路 64 の比較結果を電源供給制御手段としての電源供給制御部 66 に出力し、比較回路 64 の比較結果に基づいて電源供給制御部 66 が CCD 16 への電源供給を制御する構成であったが、図 4B に示す変形例の構成にしても良い。

図 4B の CCD 電源電圧監視回路 63B においては、図 4A において電源供給制御部 66 の制御機能を比較回路 64 が行う構成にしている。換言すると、電圧比較手段としての比較回路 64 が、電源供給制御手段としての電源供給制御部 66 の機能を兼ねる構成となる。

40

【0047】

図 4B においては、比較回路 64 を構成する各比較回路 64a、64b の比較結果により、電源供給制御部 66 を介すること無くそれぞれ第 1 定電圧回路 61a 及びスイッチ 61c と、第 2 定電圧回路 61b 及びスイッチ 61d を制御する構成にしている。

つまり、比較回路 64a は、比較結果が異常電圧に該当する場合には、第 1 定電圧回路 61a の動作を停止させると共にスイッチ 61c を OFF にし、CCD 16 側への電源供給を遮断する。

また、比較回路 64b は、比較結果が異常電圧に該当する場合には、第 2 定電圧回路 61b の動作を停止させると共にスイッチ 61d を OFF にし、CCD 16 側への電源供給

50

を遮断する。

また、比較回路 6 4 a , 6 4 b の比較結果は告知信号生成回路 6 7 に出力され、異常電圧の場合には、告知信号生成回路 6 7 は告知信号をプロセッサ 4 側に供給する。

【 0 0 4 8 】

その他の構成は図 4 A の場合と同様である。図 4 B の変形例による作用効果は、電圧比較手段が電源供給制御手段の機能を兼ねることを除くと、図 4 A の場合と殆ど同じである。

なお、図 4 A 又は図 4 B に示すように、CCD 1 6 に対して複数の電源電圧を供給する CCD 電源回路 5 3 b の入力側での複数の電源電圧を監視する構成の場合に限らず、CCD 1 6 と共に先端部 1 4 に搭載された TG 1 7 に対しても電源電圧を供給する電源回路 (例えば CCD・TG 電源回路 5 3 b) の入力側において、その電源電圧を監視して、異常電圧の場合には TG 1 7 に供給する電源を遮断すると共に、告知する構成にしても良い。

また、CCD 1 6 側と、TG 1 7 側とに供給される電源が過大電流 (本明細書では過電流とも言う) となる異常状態の場合には、電源供給を停止 (シャットダウン) するように制御しても良い。

【 0 0 4 9 】

図 4 C は、CCD 1 6 に供給される電源と、TG 1 7 に供給される電源とが過電流の状態か否かを検知し、過電流の場合には電源供給を停止する過電流検知回路 8 2 a - 8 2 c を設けた構成を示す。

図 4 C に示す構成においては、コネクタ基板 2 4 内に、図 4 A で説明した CCD 電源回路 5 3 b、A/D 変換回路部 5 2 n、CCD 電源電圧監視回路 6 3 を設けると共に、TG 1 7 に電源を供給する定電圧回路 8 1 a 及びその前段に過電流を検知する過電流検知回路 8 2 a を設けている。なお、過電流検知回路 8 2 a は、例えば電源線 6 0 n と直列に接続した所定の値の抵抗値の両端の電圧を過電流を判定するために予め設定された所定電圧値とを比較する比較回路を有し、前記抵抗値の両端の電圧が所定電圧値以上となる比較結果の場合に定電圧回路 8 1 a に供給される電源の電流が閾値以上の過電流の状態であると検出する。他の過電流検知回路 8 2 b、8 2 c も同様の構成である。

コネクタ接点ピン 4 0 n に接続された電源線 6 0 n 上に設けた過電流検知回路 8 2 a は、予め設定された閾値以上の過電流が定電圧回路 8 1 a 側に流れると、定電圧回路 8 1 a 側に供給される電源 (の電流) をシャットダウンする。

図 4 C においては、内視鏡 2 A 内における監視すべき電源線 6 0 n のみに過電流検知回路 8 2 a を設け、その他の電源線 6 0 a , 6 0 b に関してはプロセッサ 4 側に CCD 電源回路 5 3 b に対する過電流検知回路 8 2 b、8 2 c を設けた構成を示している。過電流検知回路 8 2 b、8 2 c は、過電流を検知すると、過電流検知回路 8 2 b、8 2 c から CCD 電源回路 5 3 b 側に供給する電源をシャットダウンする。

【 0 0 5 0 】

また、図 4 C の構成の場合においては、コネクタ基板 2 4 内の電子回路に電源を供給する定電圧回路 8 1 b、8 1 c を設けている。CCD 電源回路 5 3 b と定電圧回路 8 1 a とが、図 3 の CCD・TG 電源回路 5 3 b に相当する。

なお、電源線 6 0 a、6 0 b 上に設けられる 2 点鎖線で示す判定用電圧生成回路 8 3 a に関しては、図 4 E の説明後において説明する。

プロセッサ 4 内の電源回路 2 7 は、過電流検知回路 8 2 b、8 2 c を介して、CCD 電源回路 5 3 b に電源を供給すると共に、定電圧回路 8 1 a - 8 1 c にも電源を供給する。

従来例における過電流検知回路は、過電流を検知すると、定電圧回路 8 1 a に供給する電源の電流をシャットダウンするが、シャットダウンにより電流低下を検知するとシャットダウンが解除となり、過電流が流れる状態になり、この過電流を検知すると再びシャットダウンを繰り返すシーケンスとなってしまう。

【 0 0 5 1 】

このため、本実施形態に採用する過電流検知回路82aは、一度過電流を検知したら、内視鏡2A全体の電源がOFFにされるまでは、過電流を検知した状態を保持する構成にして、上記の従来例におけるシーケンスを改良している。なお、他の過電流検知回路82b、82cも過電流検知回路82aの場合と同様の機能を持つようにしても良い。

過電流検知回路82aにより過電流を検知する場合、内視鏡2Aの種類に応じて複数の異なる閾値を有し、実際に使用される内視鏡2Aに応じて閾値を切り替えるようにしても良い(例えば、内視鏡2Aの外径別、先端部での温度別などに応じて閾値を切り替えるようにしても良い)。この場合、閾値を切り替えるための具体的な手段として、内視鏡2Aの種類に応じた抵抗値の抵抗器を各内視鏡2A内に実装しても良い。

また、閾値を切り替えるためにデジタルトリマを利用し、デジタルトリマの数値をROMに記憶しても良い。また、過電流保護回路82a、82cは、CCD用とTG用のものとを纏めて1つにしても良い。また、全ての過電流保護回路82a、82cを内視鏡2A内に搭載しても良いし、内視鏡2Aではなくプロセッサ4内に搭載しても良い。

【0052】

また、内視鏡2Aに固有の撮像ユニットにROMや抵抗器を搭載し、搭載したROM又は抵抗器の情報を検知回路が読み取る構成にしても良い。この他に、内視鏡2A内の搭載されたMC基板、A/D基板、IF基板などに上述したROM等を搭載しても良い。

また、本実施形態においては、図4Dに示すような特性で内視鏡2A側での電源ON、OFFの制御を行うようにしている。なお、図4Dの横軸は時間、縦軸は電圧を示す。

図4Dは、プロセッサ4側で電源ONの時(タイミング)T_oから時間T_a後において、内視鏡2A側の電源をONにし、一方、電源ONの状態から電源OFFにされた場合には、電源OFFの時T_bと殆ど同じタイミングないしは僅かに遅れたタイミングで、内視鏡2A側の電源をOFFにする特性を示す。なお、電圧V_tは電源をON/OFFする閾値を表す。

【0053】

このような特性で制御することにより、プロセッサ4側で電源ON/OFFされた場合、内視鏡2A側で安定した動作を行うことができるようにする。電源ONされた場合には、信号用コネクタ12がプロセッサ4に適切に装着されていない状態や、コネクタ接点ピンの接触が安定していない状態のために、内視鏡2A側において電源ON/OFFが速いタイミングで繰り返されるような状態もあり得る。

そのため、電源ONのタイミングから時間をかけないで内視鏡2A側の電源もON状態にすると、安定しない電源状態で動作させることにより、電源が供給された回路に対する安定した動作を確保できない。

そこで、プロセッサ4側での電源ON時には、内視鏡2A側の電源が安定するのに要する時間後に電源ONにする(つまり、内視鏡2A側の電源回路を動作状態にする)制御を行うことにより、内視鏡2A側での安定した動作を確保できるようにしている。

【0054】

一方、電源ONの状態からプロセッサ4側で電源OFFにされた場合には、電源ON時のように時間をかけることなく、短時間で電源OFFにする(内視鏡2A側の電源回路をシャットダウンする)。なお、短時間で電源OFFにする場合の時間は、後述する図5BにおいてはT₉程度となる。

図4Dに示すような特性を持たせて内視鏡2A側でのシーケンス制御を行う場合、例えば図4Eに示すような回路構成で実現しても良い。

図4Eにおいては、図4Cにおける例えば過電流検知回路82aの入力端に接続される電源線60n上に抵抗R_a及びダイードD_aの並列回路とこの並列回路の出力端とグラウンドGND間に接続したコンデンサC_aとからなる判定用電圧生成回路83aを設けている。

【0055】

また、図4Eにおいては、この判定用電圧生成回路83aにより生成された判定用電圧を過電流検知回路82aに出力すると共に、この判定用電圧を監視して、定電圧回路81

10

20

30

40

50

a, 81b, 81cの電源ON/OFFを制御する電圧監視回路83bを設けている。

なお、電圧監視回路83bの機能を過電流検知回路82aが備えるような構成にして、電圧監視回路83bを省く構成にしても良い。

図4Eのような構成の場合、プロセッサ4側で電源ONされた場合には、抵抗Raを介して、コンデンサCaに電流が流れ、抵抗RaとコンデンサCaとの時定数に応じてコンデンサCaの電位(電圧)が時間的に上昇する。なお、この場合には、ダイオードDaは逆方向となり、その抵抗値は抵抗Raの抵抗値に比較して十分に大きい。

【0056】

この場合の上昇する時定数が、図4Dの特性(時間的に電圧が上昇する特性)を決定する。そして、電圧監視回路83bはコンデンサCaの電圧(つまり、判定用電圧生成回路83aにより生成された判定用電圧)と閾値Vtとを比較し、閾値Vt以上の電圧を検知すると、定電圧回路81a, 81b, 81cをONさせる(又は定電圧回路81a, 81b, 81cから電源を出力させる)ように制御する電源ON制御回路の機能を持つ。

一方、電源ONの状態からプロセッサ4側で電源OFFにされた場合には、コネクタ接点ピン40nの電圧は、瞬時にその電圧が0に低下する。このため、コンデンサCaに蓄積された電荷は、順方向となるダイオードDaにより短時間に放電され、短時間にコンデンサCaの判定用電圧は閾値Vt以下となり、電圧監視回路83bは、短時間に定電圧回路81a, 81b, 81cを電源OFFとなるように制御する電源OFF制御回路の機能を持つ。このような制御を行うことにより、電源ONにされた場合には安定した動作を確保し、電源OFFされた場合に対しては良好な応答性を確保できる。

【0057】

なお、判定用電圧生成回路83aを図4Eに示す電源線60nに設ける場合に限定されるものでなく、例えば図4Cの2点鎖線で示すように他の電源線60a, 60bに設けるようにしても良い。

電源線60a, 60bに判定用電圧生成回路83aを設けた場合には、CCD電源電圧監視回路63(の電源供給制御部66)は、図4Eの電圧監視回路83bの機能を有し、図4Dで説明したような特性でCCD電源回路53bの電源ON/OFFを制御する。

この場合には、電源供給制御部66は、図4A、図4Cで説明した制御機能(第1の制御機能)の他に、プロセッサ4側で電源ON/OFFされた場合に対するCCD電源回路53bの電源ON/OFFの制御機能(第2の制御機能)を持つ。

【0058】

また、FPGA51からTG17を介してCCD16を駆動する場合のケーブル駆動方法として図5Aのような構成にして、波形の鈍りを改善するようにしても良い。

FPGA51は、TG17が要求する例えば3つのクロックとしてのHDR__CLK, HDR__CLK__N, HDR__HBLKを生成する。FPGA51から出力するHDR__CLK, HDR__CLK__N, HDR__HBLKは、ケーブル駆動回路を構成するバッファ85aと、コンデンサ86a及び抵抗86bの並列回路によりピーキング回路86とを介して総合同軸ケーブル21, 23を構成する各同軸ケーブルを駆動する。

クロックに応じて複数のバッファ85aを並列接続して必要とされる駆動電流規格を満たすことができるようにしている。具体的には、HDR__CLKの場合には3つのバッファ85aを並列接続しており、HDR__CLK__Nの場合にも3つのバッファ85aを並列接続しており、HDR__HBLKの場合には2つのバッファ85aを並列接続して、1つのバッファ85aで駆動できる駆動電流を数倍に増大できるようにしている。

【0059】

また、ピーキング回路86により、各クロックの立ち上がり波形と立ち下がり波形部分を微分した強調波形(HDR__CLKの場合に対して図示)にして、同軸ケーブルにより波形が鈍った後において、矩形波に近いクロック波形をTG17に供給できるようにしている。

なお、ピーキング回路86のコンデンサ86a及び抵抗86bの値は、内視鏡2Aの種

10

20

30

40

50

類に応じて切り替える又は適切な値に設定される。

また、FPGA 51から出力する3つのクロックとして、プロセッサ4からFPGA 51が受信したクロックの周波数と同一で、かつデューティーが50%のクロックであることをTG17が要求している場合がある。

【0060】

このため、FPGA 51は、プロセッサ4から受信したクロックを2倍に逡倍した後、2分の1に分周して、デューティーが50%のクロックを生成している。

なお、図5Aは、3つのクロックHDR_CLK, HDR_CLK_N, HDR_HBLKの場合の例で示しているが、図2Bの内視鏡2Bの場合にはHとVとの2つのパルス信号の場合に該当することになるが、この場合においても同様に適用できることは明らかである。また、内視鏡2Aの場合には図3に示すようにFPGA 51から操作部7までは4つのパルス(LVDSのH, V)、操作部7からTG17まではHとVとの2つのパルス信号の場合になるが、この場合に対しても適用することができる。

また、FPGA 51は、CCD判別信号や垂直同期信号VDや水平同期信号をリセットするHリセット信号が入力される図示しないカウンタ回路を備え、このカウンタ回路で水平クロックHCLK, 垂直クロックVCLK、CCD16のオプティカルブラック(黒レベル)での電位をクランプするクランプパルスOBCLP等の信号を生成する。

【0061】

また、図3において説明したSC-CLK_ENのパルス信号、上記HCLK等の駆動のON/OFFに用いる信号SDWN、FPGA 51内部動作の垂直同期信号としてのVD_INT、水平同期信号HD、LPFを通した信号等から、第1のアナログ回路53c用の電源制御信号(+5V_AFE1, -5V_AFE1)、及び第2のアナログ回路53h用の電源制御信号(+5V_AFE2, -5V_AFE2)等を生成する制御信号生成回路(例えばSCP_SEQ)をFPGA 51は有する。

プロセッサ4側において使用者が電源をON/OFFした場合にはプロセッサ4は、それを検知したパルス信号としてのSC-CLK_ENを内視鏡2A内のFPGA 51に送信し、FPGA 51は、このSC-CLK_ENを用いて、内視鏡2A内で所定のタイミングで各種の電源のON/OFF制御、CCD駆動信号の制御を行う。

【0062】

このように電源ON/OFFを検知したパルス信号を利用して各種の電源のON/OFF制御、CCD駆動信号の制御を行うことにより、電源のON/OFFに対応した制御を速やかに実行できる。つまり、プロセッサ4と内視鏡2A内のFPGA 51間の通信を利用すると、通信が確立するまでに時間の遅延が発生するが、プロセッサ4側からFPGA 51側への電源ON/OFFを検知したパルス信号を利用することにより、前記時間の遅延を殆ど発生することなく、良好な応答性を確保できる。

上記SC-CLK_ENのパルス信号を利用して、電源ON時と電源OFF時には、図5Bに示すように所定のタイミングでクロックCLK、垂直同期信号VD、各種の信号をON/OFF制御するSDWN、第1のアナログ回路53c用の電源制御信号(+5V_AFE1, -5V_AFE1)、及び第2のアナログ回路53h用の電源制御信号(+5V_AFE2, -5V_AFE2)、CCD6を駆動する駆動信号としてのHをON/OFFするSDWN_DRV、水平転送信号H(及び図示しないV)を制御する。

【0063】

電源ON時には、所定の電圧(例えば3V)の電源がONすると、そのON時からT1(例えば約400ms)後にSC-CLK_ENはLレベルからHレベルに立ち上がり、またT2(例えば約1000ms)後にクロックCLKは動作状態となり、これに同期して垂直同期信号VDも出力されると共に、+5V_AFE2, -5V_AFE2、SDWN_DRVもHレベルに立ち上がり、Hも出力される状態となる。

また、上記ON時からT3(例えば約400ms)後にSDWNが立ち上がる。

また、クロックCLKが動作状態になった時からT4(例えば500ms)後に、+5V_AFE1, -5V_AFE1がHレベルに立ち上がる。Hの出力停止のタイミング

10

20

30

40

50

は、FPGA51内部で生成しているHDと同期して停止するタイミングとなる。これにより、不安定なHパルスが生成されることを防ぎ、安定してHを停止させることができる。HDではなく、VDと同期させてHを停止させても良い。

【0064】

一方、電源OFF時には、まずSC-CLK_ENがHレベルからLレベルに立ち下がり、その立ち下がりタイミングからT5(例えば約300 μ S)後にSDWN_DRVが立ち下がると共に、Hも出力停止となる。

また、SC-CLK_ENの立ち下がりタイミングからT6(例えば15mS)後に、-5V_AFE1、-5V_AFE2がHレベルに立ち下がり、SC-CLK_ENの立ち下がりタイミングからT7(例えば20mS)後に、+5V_AFE1、+5V_AFE2がHレベルに立ち上がり、これより若干後のタイミングのT8後に、CLKが停止し、さらにCLKの停止した後のT9(40mS-50mS程度)後に、所定の電圧の電源がOFFになる。

【0065】

特に電源OFF時には、電源ON時よりも短い時間後にOFF状態にすることにより、良好な応答性を確保できるようにしている。また、電源ON時、OFF時共、SC-CLK_ENで制御することにより、通信を利用する場合よりも、良好な応答性を確保できる。

なお、通信を利用した場合においても、必要とされる応答性を実現できる場合には、通信を利用して上述したような制御を行うようにしても良い。また、内視鏡2A側で電源ON、OFFを検出する検知手段を設け、その検知手段の検知信号を利用して上述したような制御を行うようにしても良い。

【0066】

なお、内視鏡2A側に搭載されるFPGA51等の集積回路(IC)は、電源と信号との入力順序が逆転したような場合においても、回路が破壊されないトレラント機能を有する。

図5Bにおいても説明したように例えば電源ONされた場合には、内視鏡2A内においては、電源が供給された後にクロックCLK等が立ち上がる(入力される)ように制御されるが、その制御のタイミングが何らかの原因で逆転したような場合においてもトレラント機能によりFPGA51等のICが破壊されないように保護している。

つまり、内視鏡2Aは、トレラント機能を備えたインタフェースを有し、内視鏡2A側のIC等が破壊されないようにしている。

また、FPGA51は、図5Cに示すように電源ON時の起動時においてプロセッサ4側から入力されるクロックCLKの起動時のCLKを確定させるCLK確定と、CLK異常の判定とを行うCLK確定判定回路91を有する。

【0067】

プロセッサ4側から入力されるCLKは、ディレイ量(遅延量)を調整するDLL(ディレイロックドープ)91aに入力されると共に、フリーカウンタ91bに入力される。DLL91aは、入力されるCLKに追従したクロックとしての出力CLKを生成して、出力する。

DLL91aから出力される出力CLKは、FPGA51、その他の回路にCLKとして供給されると共に、カウンタ91cに入力される。なお、フリーカウンタ91bは、カウンタ動作を開始する場合、カウンタ91cをリセットし、同じタイミングで両カウンタがCLK、出力CLKをカウントするように制御する。

フリーカウンタ91b、カウンタ91cの各カウント値はカウンタ比較回路91dに入力され、カウンタ比較回路91dは、所定のタイミングで、両カウンタのカウント値が所定の範囲内に入っている場合には、DLL91aから出力される出力CLKは安定していると判定する。

【0068】

この判定結果の場合には、カウンタ比較回路91dは、出力CLKに同期して動作する

10

20

30

40

50

各回路に、(初期)リセットを解除する信号を印加し、出力CLKに同期した動作を行わせる。起動時に限らず、起動後でもDLL91aが不安定であれば、安定した後にリセットを解除するようにしても良い。

一方、カウンタ比較回路91dは、両カウンタのカウンタ値が所定の範囲内に入っていない場合には、入力されるCLK、又はDLL91aの動作が異常であると判定し、DLL91aをリセットする。

このように入力されるCLKに対して、DLL91aを用いて出力CLKを生成する場合、DLL91aの特徴を補う機能を追加してCLK確定判定回路91を形成している。

【0069】

図5Cに示すCLK確定判定回路91により、例えばDLL91aが静電気等による外乱によりハングアップして、DLL91aから出力される出力CLKが定常的に異常になった場合にはリセットして正常な動作を行うように制御できる。また、入力されるCLKの周波数や位相に変動があると、出力CLKの周波数が所定の期間、不安定になることがあるが、そのような場合にも、DLL91aをリセットして、安定な動作を行うように制御する。

また、上記構成の場合、起動時においてもDLL91aの出力CLKが安定した場合には、DLL91aが出力する出力CLKが供給される各回路に対して、速やかに安定した動作を開始させることができる。

【0070】

また、プロセッサ4側から内視鏡2A内に入力される図5Bに示したSC-CLK_ENのパルス信号、クロック、同期信号等は、途中の伝送ケーブルにより遅延が発生し、互いの位相ずれが発生する。このため、その位相ずれの影響を吸収して安定した動作を行うことができるようにしても良い。

図5Dはプロセッサ4側からFPGA51に入力される例えば垂直同期信号VDP_INTに対する位相ずれの影響を吸収した垂直同期信号VD_INTを出力する垂直同期信号出力回路101の構成を示す。

プロセッサ4から垂直同期信号出力回路101に入力されるVDP_INTは、アップエッジ切り出し回路101aにより、CCDクロックとしてのCCDCLKに同期してアップエッジが切り出され、そのアップエッジ期間に比較及び補正を行う比較・補正回路101bの動作をアクティブにする。アップエッジを切り出すアップエッジ切り出し回路101aを用いて説明するが、その代わりにダウンエッジを切り出すダウンエッジ切り出し回路を用いるようにしても良い。

【0071】

なお、CCDCLKは、垂直同期信号出力回路101内の各回路に入力され、各回路はこのCCDCLKに同期して動作する。

比較・補正回路101bには、1垂直同期信号VD期間毎に、CCDCLKを所定数(図5EではN)、カウント(計測)する補正カウンタ101cのカウント値が入力される。この補正カウンタ101cは、所定数カウントしたカウント値を比較・補正回路101bに出力すると共に、所定数カウントしたタイミングのパルスをVD_INT生成回路101dに出力する。

VD_INT生成回路101dは、補正カウンタ101cの出力に同期してFPGA51を含む内視鏡2A内の各回路に、位相ずれを吸収した垂直同期信号VD_INTを出力する。

【0072】

比較・補正回路101bは、アップエッジ期間において、補正カウンタ101cのカウント値を所定数と比較し、比較結果に応じて補正カウンタ101cのカウント動作を補正する。

【0073】

VD_INT生成回路101dは、補正カウンタ101cから出力されるパルスに同期した垂直同期信号VD_INTを生成して、外乱を低減するローパスフィルタを用いたL

10

20

30

40

50

LPF回路102に出力する。このLPF回路102から外乱となるノイズを低減した垂直同期信号VD__INTを、FPGA51を含む内視鏡2A内の各回路に供給する。

図5Eは図5Dのタイミング図を示す。プロセッサ4側で生成された垂直同期信号VDに対して、内視鏡2A内の垂直同期信号出力回路101に実際に入力される垂直同期信号VDP__INTは、その位相が遅れる。

この垂直同期信号VDP__INTはアップエッジ切り出し回路101aによりCCCLKに同期してアップになるアップエッジが切り出されて、そのアップエッジ期間、比較・補正回路101bはアクティブとなり、補正カウンタ101cのカウント値を所定数と比較する。

【0074】

垂直同期信号VDと垂直同期信号VDP__INTの位相差が標準の状態ではカウント値は所定数Nとなり、比較・補正回路101bは補正カウンタ101cのカウント動作を所定数Nのままで行わせる。つまり、この場合には、比較・補正回路101bは補正カウンタ101cのカウント動作の補正を行わない。このときアップエッジで補正カウンタ101cを0にリセットする。

一方、垂直同期信号VDに対する垂直同期信号VDP__INTの位相ずれ(遅れ)が1カウントの場合には、比較・補正回路101bは補正カウンタ101cに1をセットして(実際には補正されたN+1をカウントするように)カウント動作を行わせる。

逆に垂直同期信号VDに対する垂直同期信号VDP__INTの位相ずれ(進み)が1カウントの場合には、比較・補正回路101bは補正カウンタ101cにNをセットして(N-1カウントするように)カウント動作を行わせる。

【0075】

このように動作させることにより、位相ずれがCCCLKの±1クロック程度の範囲内ではその位相ずれを吸収した安定した垂直同期信号VDP__INTを生成することができる。CCCLKの±1以上の位相差の場合は、比較・補正回路101bがアクティブ時に常に補正カウンタ101cを0にリセットする。

【0076】

図6AはCCD16の出力信号等を伝達する総合同軸ケーブル21,23とMC接続部付近の構成を示す。なお、MC接続部は、MCと該MCと接続されるMC受けを表し、図6Aの場合にはMC接続部は、MC31及びMC受け33,MC35及びMC受け36となる。

CCD16に電源電圧VDDが供給される電源端を簡略的に電源端VDDと記す。電源端VDDは、先端部基板18に接続された総合同軸ケーブル21を構成する電源線を介してMC31とMC受け33とでMC接続(中継)された後、さらに総合同軸ケーブル23を構成する電源線を介してMC35とMC受け36とによるMC接続されてIF基板24AのCCD・TG電源回路53b(図3参照)と接続される。

【0077】

またCCD16のCCD出力信号Voutを出力するCCD出力端Voutは、先端部基板18に実装された抵抗R1を介してトランジスタアレイ55を構成するトランジスタQ1のベースに接続され、このトランジスタQ1コレクタは電源端VDDに接続され、そのエミッタはエミッタフォロワによる信号出力端Voutになると共に、抵抗R2を介して出力信号グラウンドGND(Vout)に接続される。また、電源端VDDとグラウンドGNDはコンデンサC1を介して接続されている。

エミッタフォロワによる信号出力端Voutは、上記電源端VDDに接続された電源線の場合と同様に総合同軸ケーブル21,23を構成し、撮像信号を伝送する信号線により途中のMC接続で中継されてIF基板24Aのアンプ53dと接続される。

【0078】

また、出力信号グラウンドGND(Vout)も、上記信号出力端Voutの信号線の場合と同様にグラウンドレベルを伝送(伝達)するグラウンド信号線によりIF基板24Aの図示しない出力信号グラウンドGND(Vout)に接続される。

10

20

30

40

50

【 0 0 7 9 】

また、グラウンド GND もグラウンド線により、上記電源線の場合と同様に途中で MC 接続で中継されて I F 基板 2 4 A の図示しないグラウンド GND に接続される。

【 0 0 8 0 】

なお、図 6 A においては、図 3 で示したトランジスタアレイ 5 5 における 1 つのチャンネル部分を示し、他の 3 つのチャンネルに対しても同様の構成を適用できる。

【 0 0 8 1 】

本実施形態においては各種の信号線等を MC 接続するコネクタ接点ピンの配置を図 6 B に示すように変更前の配置から変更後に示す配置に変更している。変更前の MC 接続例においては、番号が 3 0 のコネクタ接点ピンは、シールドグラウンド S GND に接続され、これに隣接する番号 2 8 のコネクタ接点ピンは出力信号グラウンド GND (V o u t) と接続され、これに隣接する番号 2 6 のコネクタ接点ピンは信号出力端 V o u t と接続され、これに隣接する番号 2 4 のコネクタ接点ピンは電源端 V D D と接続されている。

これに対して、変更後の MC 接続するコネクタ接点ピンの配置においては、番号が 3 0 のコネクタ接点ピンは、出力信号グラウンド GND (V o u t) と接続され、番号 2 8 のコネクタ接点ピンは電源端 V D D と接続され、番号 2 6 のコネクタ接点ピンは信号出力端 V o u t と接続され、番号 2 4 のコネクタ接点ピンは電源端 V D D と接続されている。

【 0 0 8 2 】

変更前のコネクタ接点ピンで各種の信号線を接続する配置状態では、信号出力端 V o u t に隣接して出力信号グラウンド GND (V o u t) が配置されていたため、これらが短絡 (ショート) すると、図 6 A に示すトランジスタ Q 1 に過電流が流れ、その場合、プロセッサ 4 側の過電流保護回路がその過電流を検知して、電源端 V D D の電源供給をシャットダウンする。

しかし、このように隣接するコネクタ接点ピン間が完全に短絡に至らないで画像が出力される場合、例えば 2 0 0 オーム程度の抵抗値で短絡するような状態であると、過電流保護回路が過電流として検知できない状態となり、トランジスタ Q 1 に過電流が流れ続け、発熱が継続してしまう。

【 0 0 8 3 】

このため、本実施形態においては、変更後の配置に示すように信号出力端 V o u t に隣接して電源端 V D D を配置し、出力信号グラウンド GND (V o u t) を番号 3 0 のコネクタ接点ピンで接続するように変更している。

この配置の場合には、信号出力端 V o u t が電源端 V D D と短絡または短絡に近い状態になった場合には、画像が正常に出力されなくなるため、使用者は速やかに画像異常として認識することができる。また、この場合にはトランジスタ Q 1 に過電流が流れないため、発熱でトランジスタ Q 1 や C C D 1 6 が故障する可能性を低減できる。

上記のように各種の信号線を MC 接続する場合の配置を変更することにより、短絡の発生を速やかに認識し易い構造にしているが、本実施形態においては各種の信号線を MC、MC 受けに半田付けした場合、半田付けした箇所を樹脂で覆うコーティングを施し、短絡等の発生をより有効に防止する構造にしている。

【 0 0 8 4 】

図 7 は例えば MC 基板 3 4 の裏面を示す。図 2 A に示す総合同軸ケーブル 2 1 の総合シールドはシールドグラウンド S GND 用パッド P s に半田付けされ、絶縁性の樹脂 M 1 で覆われる (コーティングされる) 。なお、総合シールドをメカ部材でかしまても良いし、半田付けできるメカ部材で固定しても良い。

同様に総合同軸ケーブル 2 1 における各種の同軸信号線の信号線 (中心導体) が半田付けで接続されるパッド P、外側シールド線が半田付けで接続されるパッド P も絶縁性の樹脂 M 1 で覆われる。図 7 では一部のみを示しているが、残りのパッド P での半田付け部分も同様に絶縁性の樹脂 M 1 で覆われる。

また、図 8 A は、コネクタ基板 2 4 における I F 基板 2 4 A の部品面と半田面 (裏面) とを示し、部品面には MC 3 5 が接続される MC 受け 3 6 が設けてある。

10

20

30

40

50

【 0 0 8 5 】

また、半田面においては出力信号 V_{out} が入力されるアンプ 53d (図3参照) の前段部分となる網線 (クロスハッチング) で示す入力回路部 53e は、プリントパターンの配線部分が露出するため、絶縁性の樹脂 M2 で覆う (コーティングする) ようにしている。なお、樹脂 M1 と M2 は、同じ樹脂を用いることができる。

【 0 0 8 6 】

図8Bは入力回路部 53e の回路構成を示す。MC35 を経て入力回路部 53e に入力される出力信号 V_{out} は、抵抗 R3 を介して接地されると共に、コンデンサ C2、C3 及び抵抗 R4 の直列回路を介してアンプ 53d に入力される。また、コンデンサ C2、C3 の接続点は、抵抗 R5 を介して接地される。また、コンデンサ C3 と抵抗 R4 との接続点は、抵抗 R6 を介して接地されると共に、抵抗 R7 を介して所定の電源端 (+5V) に接続される。

10

【 0 0 8 7 】

上記のように出力信号 V_{out} を伝送する信号線として露出するプリントパターンを絶縁性の樹脂 M2 で覆うことにより、プリントパターンが湿気等で絶縁不良になるようなことを有効に防止できるようにしている。出力信号 V_{out} だけでなく、湿気等の影響で絶縁不良を起こし発熱又は熱損傷 (熱傷) に至るような回路は、全て絶縁性の樹脂でコーティングしても良い。

また、本実施形態においては、CCD16 を間欠駆動している。具体的には、図8Cに示すように1垂直同期期間 (1VDで示す) を周期として CCD16 を間欠駆動しているため、CCD出力信号 V_{out} はDCレベルが変動する。DCレベルが低くなる駆動期間においては CCD出力信号 V_{out} は有効画素領域の信号を含み、DCレベルが高くなる休止期間では有効画素領域でなく休止領域の信号となる。

20

【 0 0 8 8 】

上記のように入力回路部 53e を介して CCD出力信号 V_{out} をそのままアンプ 53d に入力した場合、アンプ 53d の後段側での入力信号の許容範囲を超えてしまう。このため、本実施形態におけるアンプ 53d として、図8Cに示すようにDCレベルが変動することを利用して、休止領域の信号をクリップして、有効画素領域の信号のみを選択的に増幅する回路構成にしている。

図8Dは休止領域の信号をクリップするアンプ 53d の回路構成を示す。図8Bにおいて説明した入力回路部 53e の入力端はさらに、抵抗 R11 とスイッチ SW1 との直列回路を介して接地される。つまり、図8Dの回路構成においては、入力端は抵抗 R3 と並列に抵抗 R11 とスイッチ SW1 が設けてある。

30

このスイッチ SW1 は、上記間欠駆動に同期した切替信号により ON/OFF される。具体的には、駆動期間においては (Hレベルとなる) 切替信号によりスイッチ SW1 が ON し、休止期間ではスイッチ SW1 が OFF となる。そして、入力端は、駆動期間においては約 910 の抵抗で接地され、休止期間においては 10k の抵抗 (具体的には R3) で接地される。このため、図8Cのように駆動期間と休止期間において CCD出力信号 V_{out} はDCレベルが変動する。

【 0 0 8 9 】

上記入力回路部 53e を経た信号は、アンプ 53d を構成するトランジスタ Q2 のベースに印加され、トランジスタ Q2 のコレクタは所定で電源端 (+5V) に接続されると共にコンデンサ C5 を介して接地され、トランジスタ Q2 のエミッタは抵抗 R12 を介して接地されると共に、抵抗 R13 を介してトランジスタ Q3 のエミッタに接続される。

また、トランジスタ Q3 のエミッタは抵抗 21 を介して接地され、トランジスタ Q3 のコレクタは抵抗 R14 を介して所定の電源端に接続されると共に抵抗 R15 を介してトランジスタ Q4 のベースに接続される。

また、トランジスタ Q3 のベースは抵抗 R16 及び抵抗 R17 を介して接地される。また抵抗 R16、R17 の接続点はコンデンサ C6 を介して接地されると共に、抵抗 R18 を介して所定の電源端に接続される。

40

50

【0090】

また、トランジスタQ4のコレクタは所定の電源端に接続されると共に、コンデンサC7を介して接地され、トランジスタQ4のエミッタは抵抗R19を介して接地されると共に、抵抗R20及びコンデンサC8の直列回路を介してアンプ53dの出力端に接続される。また、抵抗R20及びコンデンサC8の接続点はコンデンサC9を介して接地される。なお、トランジスタQ3に一端が接続された抵抗R14の他端はコンデンサC10を介して接地される。

図8Dに示す回路構成の作用は以下ようになる。入力回路部53eを経てアンプ53dに入力されるCCD出力信号Voutは、エミッタフォロワのトランジスタQ2により、ベース接地のトランジスタQ3に伝達される。このトランジスタQ3により増幅された信号は、そのコレクタからエミッタフォロワのトランジスタQ4により低インピーダンスに変換して出力される。

10

【0091】

この場合、図8Cに示すように休止領域の信号をトランジスタQ3により増幅した場合、トランジスタQ3のコレクタでの電圧は、(休止領域の信号全て)例えば4.8Vのクリップレベル以上となり、従って休止領域の信号全てがクリップレベルでクリップされる。

これに対して、トランジスタQ3により増幅された有効画素領域の信号は、トランジスタQ3のコレクタでの電圧は、全てがクリップレベル以下となり、従って有効画素領域の信号のみを実質的に増幅して出力する。

20

このように作用させるため、アンプ53dを構成する場合のDCバイアスを正レベル側にオフセットするように設定し、有効画素領域の信号に対しては、十分に増幅することができるようにし、一方、休止領域の信号を確実にクリップすることができるようにしている。

【0092】

このような構成にすることにより、簡単な回路構成により、CCD16における有効画素領域の信号のみを増幅して後段側に出力することができるようにしている。

さらに本実施形態においては、例えばMC31におけるコネクタ接点ピン間において電界強度が大きくなるコネクタ接点ピン間に対しては、それらの間に未接続のコネクタ接点ピンを配置することにより、未接続のコネクタ接点ピンを配置するまえの電界強度を、その1/2程度に低減する構造にしている。

30

図9のMC31における互いに隣接するコネクタ接点ピンPa、Pbを特定の信号又は電源に割り当てた場合、MC31においては各コネクタ接点ピン間のピッチが狭いため、隣接するコネクタ接点ピンPa、Pb間での特定の信号又は電源の電界強度が大きくなり、短絡する可能性が高くなる。或いは、電圧レベルが大きくなった瞬間などにおいて、隣接するコネクタ接点ピンとの絶縁が不十分になってしまう可能性がある。

【0093】

このため、本実施形態においては、電界強度が特定の値を超えて隣接するコネクタ接点ピンPa、Pbに対しては、両コネクタ接点ピンPa、Pb間に(何も接続されない)未接続のコネクタ接点ピンPcを配置する構造にし、短絡その他の異常な状態が発生するのを防止するようにしている。

40

なお、電界強度が大きい場合に限らず、大きな電圧差のあるコネクタ接点ピン間、大きな電流差のあるコネクタ接点ピン間に対して、その間に未接続のコネクタ接点ピンPcを配置するようにしても良い。

図9の適用例として、MC31の場合に限定されるものでなく、他のMC35やMC受け33、36に適用することもできる。

【0094】

また、本実施形態においては、内視鏡2A内部の電子部品が湿度で特性が劣化したり、腐食したりするのを未然に防止するセンサを搭載している。内視鏡2Aは、内視鏡検査に使用する度に、薬液や高温高湿度雰囲気の状態での消毒したり、洗浄装置で洗浄される。

50

このため、内視鏡 2 A を長期にわたり、使用すると内視鏡 2 A 内部に湿気が侵入することが起こり得る。内視鏡 2 A の内部が所定以上の湿度を有する状態で、通電して使用すると、内視鏡 2 A 内の電子部品や基板が、通常の使用状態の場合よりも劣化や腐食が加速してしまう。

そこで、図 1 の点線で示すようにコネクタ基板 2 4 (内の例えば A / D 基板 2 4 B) に、内視鏡 2 A 内部の湿度を検知するための湿度センサ 7 1 を設け、プロセッサ 4 内には湿度センサ 7 1 の検知信号により、内視鏡 2 A 内部の湿度を検出 (算出) する湿度検出回路 7 2 を設けている。

【 0 0 9 5 】

また、この湿度検出回路 7 2 は、検出した湿度が所定の閾値以上の高湿度の場合には、制御回路 2 9 に対して、検出した湿度が閾値以上の高湿度状態である旨を警告等するための警告信号を出力する。制御回路 2 9 は、警告信号が入力されると、電源回路 2 7 に対して、内視鏡 2 A 側に電源供給を停止する制御を行うと共に、警告信号を信号処理回路 2 8 に出力する。

また、信号処理回路 2 8 は、警告信号に対応した警告メッセージをモニタ 5 に表示するように信号処理する。この場合、以下に説明するように内視鏡 2 A 側には、電源を供給しない状態で、湿度検出回路 7 2 は湿度センサ 7 1 を駆動し、湿度センサ 7 1 から出力される検知信号により湿度状態を判定し、高湿度の場合にはモニタ 5 において警告メッセージを表示できるようにする。

内視鏡 2 A 側に電源を供給することなく、湿度センサ 7 1 により内視鏡 2 A 内の湿度を検知することができる受動部品を用いて湿度センサ 7 1 を構成できるものがより望ましい。

【 0 0 9 6 】

これに該当するものとして、湿度の変化を感湿膜のインピーダンスの変化として検知する抵抗式湿度センサや、湿度の変化を対の電極間の静電容量の変化として検知する容量式湿度センサを用いることができる。

本実施形態の内視鏡装置 1 においては、上記のように湿度センサ 7 1 を内視鏡 2 A 内部に設け、内視鏡 2 A 内部が通常の湿度状態よりも高い高湿度状態になったことを検出した場合には、内視鏡 2 A 側に電源供給を停止して高湿度状態での通電により電子部品の劣化や故障の発生を有効に防止した状態で、使用者に高湿度状態であることを警告 (告知) する。また、使用者に告知することにより、使用者は速やかに高湿度状態を解消するような修理を行うことができる。

また、上述した湿度センサ 7 1 を用いることなく、以下に説明するように内視鏡 2 A 内で実際に使用する電子部品に比較して、湿度によりその特性が劣化し易い特徴を有するダミー部品を以下のように用いるようにしても良い。

【 0 0 9 7 】

図 1 0 A は図 1 の湿度センサ 7 1 を設ける代わりに、上記の特徴を有するダミー部品 7 5 を設けて腐食を検出する場合の構成を示す。内視鏡 2 A 内の信号用コネクタ 1 2 内のコネクタ基板 2 4 (内の例えば A / D 基板 2 4 B) にはダミー部品 7 5 が実装され、このダミー部品 7 5 は、プロセッサ 4 内の検出回路 7 6 により、ダミー部品 7 5 の電気的特性を検出する。検出回路 7 6 は、検出結果を閾値と比較して、腐食による異常状態であるか否かを判定する。なお、図 1 0 A においては、ダミー部品 7 5 を 1 つのコネクタ基板 2 4 に設けた場合を示しているが、ダミー部品 7 5 を内視鏡 2 A 内の複数の基板に設けるようにしても良い。

検出回路 7 6 は、異常状態であると判定した場合には、その判定信号を警告表示指示回路 7 7 に出力し、警告表示指示回路 7 7 は検出回路 7 6 が異常状態を検出した旨の警告メッセージをモニタ 5 に出力し、使用者に腐食が発生した異常状態を告知する。

【 0 0 9 8 】

ダミー部品 7 5、検出回路 7 6 及び警告表示指示回路 7 7 により、腐食による異常状態の発生を検出する腐食異常検出装置 8 0 が構成される。

なお、図10Aにおいて符号78はFPGA51などにより形成される電子回路を示す。

上記ダミー部品75を設ける場合の形状及び特性としては、以下のような要件が考えられる。湿気等による特性劣化、又は基板のプリントパターンの腐食による故障の原因として、例えば半田や素子メッキ部の溶出を想定した場合、端子間や露出パターン間が溶出金属によってショート状態に至ったり、端子やパターンがやせてオープン状態に至るような故障が考えられる。

そのため、製品に使用されている部品よりも端子間ピッチが狭いパターンを有していることがダミー部品75の形状要件となり、ショートとオープンが判別できるデバイスであることがダミー部品75の特性要件となる。

【0099】

例えばコネクタ基板24の製品に用いられている(端子間の)最小ピッチが0.5mmの場合、0402サイズ(0.4mm×0.2mm)の数kの所定の抵抗値Rを有する抵抗器をコネクタ基板24に実装して、ダミー部品75とする。

そして、検出回路76により、上記抵抗器の抵抗値をモニタし、モニタした抵抗値が所定の抵抗値Rよりだけ大きい閾値 R_{t1} ($= R +$)以上となった場合、又は所定の抵抗値よりだけ小さい閾値 R_{t2} ($= R -$)以下となった場合には、腐食が発生した異常状態であると判定する。そして、異常状態の判定結果をモニタ5により使用者に告知する。

【0100】

上記の説明では、狭い端子間に1つの抵抗器を実装してダミー部品75を形成した場合で説明したが、図10Bに示すように直列のパターン上に設けた複数の狭い端子としてのパッド79間にそれぞれ抵抗器75aを実装してダミー部品75を形成しても良い。このように腐食が発生し得る広い範囲に設けた複数の狭い端子間に複数(図9Bでは7つ)の抵抗器75aを直列接続となるように実装することで、腐食を検出する機能を高めるようにしても良い。

このように腐食により故障が発生し易いダミー部品75を内視鏡2A内に実装しておくことにより、故障が発生し易い異常状態を速やかに検知して使用者に告知し、修理を促すようにすることで、異常状態で内視鏡2Aが使用されてしまうことを防止又は低減することができる。

【0101】

図4A等を参照して説明したように本実施形態によれば、小型のコネクタを用いて複数の電源電圧で撮像素子を駆動するような場合においても、短絡等による電源電圧の異常状態を速やかに検出して、異常状態を速やかに解消し易い内視鏡を提供することができる。

なお、上述した内視鏡としては、主に内視鏡2Aの場合に対して説明しているが、説明した部分に関する構成を備えた内視鏡2B, 2Cの場合においても、同様に適用できることは明らかである。

また、図4A - 図4Cにおいては、A/D変換手段によりA/D変換したデジタルの電圧を電圧比較手段としての比較回路64において閾値と比較する構成であったが、A/D変換手段を設けること無く、アナログの電圧を閾値と比較するアナログの電圧比較手段を用いる構成にしても良い。

【0102】

なお、図4A - 図4Cにおいては、プロセッサ4側から供給される複数の電源電圧から、内視鏡2A内でさらに異なる複数の電源電圧を生成して、CCD16に供給する電源生成手段としてのCCD電源回路53bを備えた構成を示しているが、本発明はこのような構成の場合に限定されない。例えば、CCD電源回路53bを備えることなく、プロセッサ4で生成した複数の電源電圧を、電源線60a, 60b等の電源線を介してCCD16に直接供給する構成の場合にも適用できる。

また、図4A - 図4Cのように内視鏡2A内にCCD電源回路53bを備えた構成に

10

20

30

40

50

した場合、さらにCCD電源回路53b から出力される複数の電源の電源電圧を監視し、監視結果に応じてCCD16への電源供給を制御する構成にしても良く、例えば図11に示すような構成にしても良い。なお、本構成を、図3に示した基板内回路用電源回路52pに適用し、基板内回路用電源回路52pの電源電圧の監視結果に応じて基板内回路への電源供給を制御するようにしても良い。

【0103】

図11に示すCCD電源電圧監視回路63Cは、図4AのCCD電源電圧監視回路63の構成において、さらに比較回路64CとROM65Cとを備えた構成である。CCD電源回路53b のスイッチ61c、61dを経てCCD16に出力される2つの電源電圧を、第2の電圧比較手段としての(比較回路64のように2つの比較回路を内蔵する)比較回路64CによりROM65Cからの閾値とそれぞれ比較し、比較結果を電源供給制御部66に出力する構成にしている。

そして、電源供給制御部66は、CCD電源回路53b の入力端側と出力端側における複数の電源電圧を監視し、正常な電圧の範囲内となる判定結果の場合にはCCD電源回路53b をそのまま動作させ、正常な電圧の範囲外となる異常電圧の判定結果の場合にはCCD電源回路53b からCCD16側に供給される電源電圧を遮断するように制御する。また、電源供給制御部66は、異常電圧の判定結果の場合には、告知信号生成回路67により告知を行うように制御する。このような構成にすると、内視鏡2A等の内視鏡内の電源の異常状態を、より詳細にかつ速やかに検出でき、その異常状態を解消する対策を速やかに行うことが可能になる。

【0104】

なお、上述した図4A - 図4C、図11等においてCCD電源電圧監視回路を説明したが、以下に説明するように異なる2つの電源間(異なる電源電圧を発生する2つの異電源間)の電圧を比較することにより、それぞれ異なる電源電圧を中継するコネクタ接点ピンの短絡(ショート)等を検出する構成にしても良い。

図12は、隣接するコネクタ受け接点ピン40a, 40bにより中継された電源線60a, 60bの(電源)電圧V1, V2間の電圧を比較して、隣接するコネクタ受け接点ピン40a, 40b間の短絡、ないしは短絡に至らない絶縁不良を検出するCCD電源電圧監視回路63Dを示す。

このCCD電源電圧監視回路63Dは、例えば図4AにおけるCCD電源電圧監視回路63において、A/D変換回路62a, 62bを経たデジタルの電圧V1, V2が入力される比較回路64の代わりに、2つの電圧V1, V2間の差電圧を生成する減算手段としての減算器121と、比較回路122とを設けている。なお、図4Aに適用した場合に限らず、図4B等に適用しても良い。

【0105】

2つの電圧V1, V2は、大きい方の電圧から小さい方の電圧を減算することにより2つの電圧V1, V2間の差電圧を生成する減算器121を経て、比較手段としての比較回路122に入力される。ここでは、大きい方の電圧をV1(つまり、 $V1 > V2$)として説明する。比較回路122は、2つの電圧V1, V2間の差電圧(として、減算器121により生成された電圧) $V1 - V2$ と、ROM65に予め格納された短絡ないしは絶縁不良を判定するための電圧値となる閾値 V_{ta} とを比較する。

この閾値 V_{ta} に関して説明すると、例えばコネクタ受け接点ピン40a, 40b間を絶縁不良の発生に相当する抵抗値で接続した場合において、減算器121を経て比較回路122に入力される電圧値が上記閾値 V_{ta} としてROM65に予め格納されている。換言すると、ROM65には、短絡に至る前の絶縁不良の発生を判定するための閾値 V_{ta} の情報が格納されている。比較回路122は、差電圧 $V1 - V2$ と、閾値 V_{ta} とを比較し、比較結果を電源供給制御部66に出力する。

【0106】

電源供給制御部66は、比較結果に基づいて、CCD16側への電源供給を制御する。電源供給制御部66は、比較結果が $V1 - V2 > V_{ta}$ の場合には、短絡ないしは絶縁不

10

20

30

40

50

良が発生していない正常な状態であると判定し、比較結果が $V_1 - V_2 > V_{ta}$ の場合には、短絡ないしは絶縁不良が発生している異常状態と判定する。

正常な状態においては、 $V_1 - V_2 > V_{ta}$ の条件を満たし、絶縁不良の発生時には比較結果が $V_1 - V_2 = V_{ta}$ 程度となり、絶縁不良が進行すると、 $V_1 - V_2 < V_{ta}$ の状態となる。また、短絡したような場合には、 $V_1 - V_2 < V_{ta}$ は、 $0 < V_{ta}$ に近い状態になる。

電源供給制御部66は、比較結果が $V_1 - V_2 > V_{ta}$ となる前者の場合には、CCD電源回路53bの動作を続行させる。一方、比較結果が $V_1 - V_2 < V_{ta}$ となる後者の異常状態の場合には、電源供給制御部66は、CCD電源回路53bの動作等を停止させると共に、異常判定信号を告知信号生成回路67に出力する。

10

【0107】

告知信号生成回路67は、コネクタ受け接点ピン40a, 40b間が短絡ないしは絶縁不良が発生している異常状態を告知する告知信号を生成し、告知信号重畳回路67aを用いてプロセッサ4側に送信する。

プロセッサ4の制御回路29は、告知信号を信号処理回路28に出力し、信号処理回路28は、映像信号中に告知信号を重畳する。そして、モニタ5は、内視鏡画像と共に、告知信号を表示し、術者は告知信号により、コネクタ受け接点ピン40a, 40b間が短絡ないしは絶縁不良が発生したことを速やかに認識することができる。

従って、異常状態が発生した内視鏡2Aに対して、その異常状態の発生に対応した修理などを速やかに行うことができ、異常状態を解消できる。

20

【0108】

なお、図12においてはコネクタ受け接点ピン40a, 40b間の短絡ないしは絶縁不良の発生を検出するために、電源線60a, 60bにより伝送される(電源)電圧 V_1 , V_2 間の差電圧を閾値 V_{ta} と比較する構成にしているが、他の2つの電源線(例えば60a, 60b)により伝送される電源電圧間の差電圧を、対応する閾値と比較して、他の2つの電源線がそれぞれ中継される(特に隣接して配置された)コネクタ接点ピン間の短絡ないしは絶縁不良の発生を検出するようにしても良い。

また、図4A, 図4B等の構成において、さらに減算器121及び比較回路122を追加して、コネクタ受け接点ピン40a, 40b間の短絡ないしは絶縁不良の発生を検出する機能を追加するようにしても良い。また、上述した実施形態等を部分的に組み合わせる等して構成される実施形態も本発明に属する。

30

【0109】

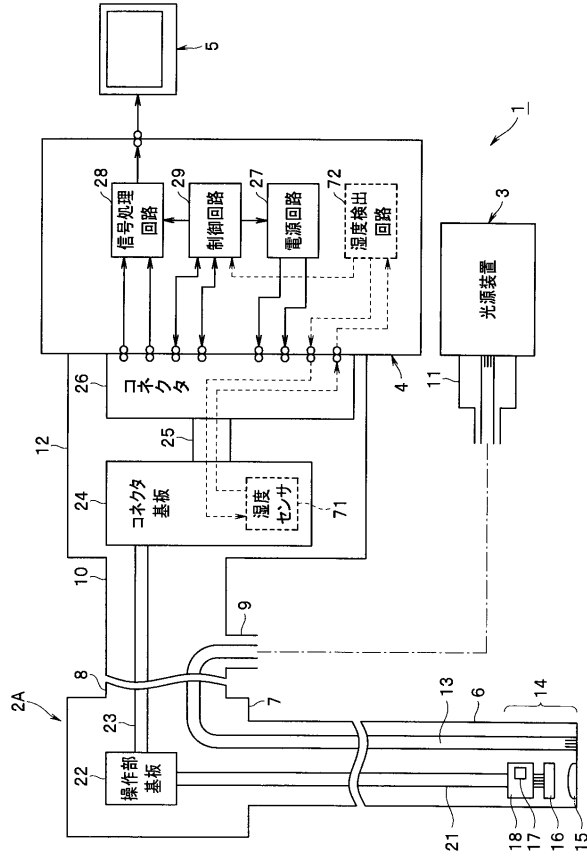
本出願は、2011年9月22日に日本国に出願された特願2011-207465号を優先権主張の基礎として出願するものであり、上記の開示内容は、本願明細書、請求の範囲に引用されるものとする。

【要約】

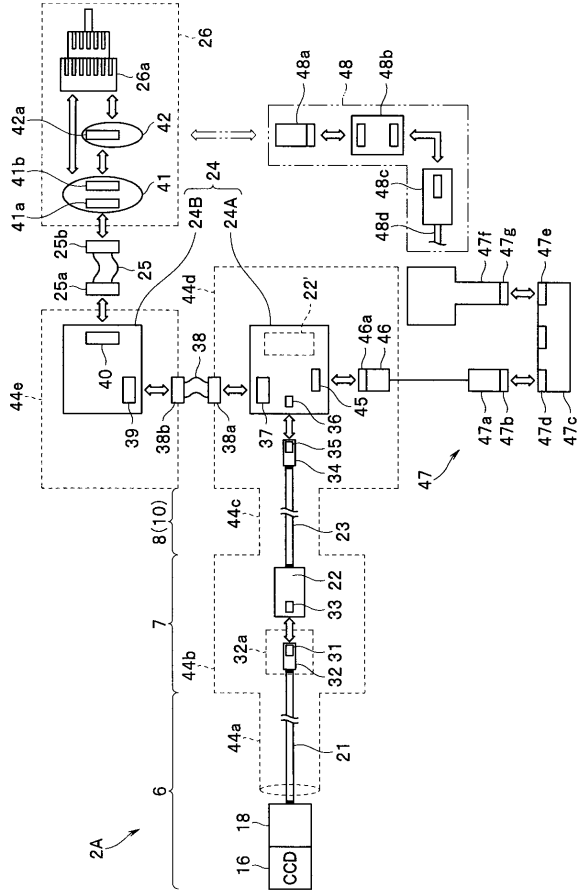
内視鏡は、挿入部の先端部に搭載された撮像素子と、撮像素子を駆動するための複数の異なる電源電圧を有する電源、撮像素子を駆動する駆動信号、駆動信号で駆動された撮像素子から出力される撮像信号、及びグラウンドレベルを伝達する配線と、配線の中継するコネクタを設けた基板と、複数の異なる電源電圧を比較する電圧比較部と、電圧比較部の比較結果に基づき、撮像素子への電源供給を制御する電源供給制御手段と、を備える。

40

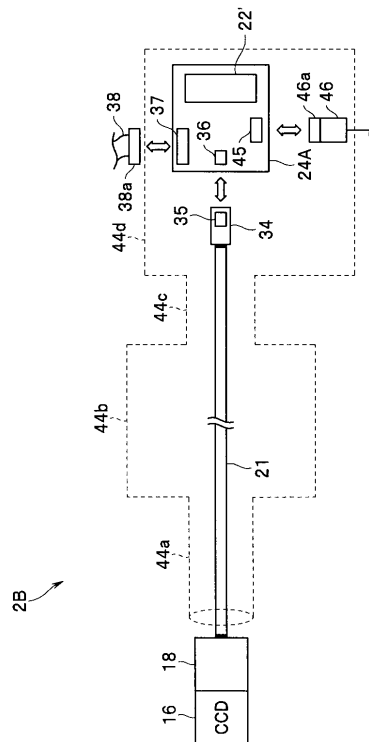
【図1】



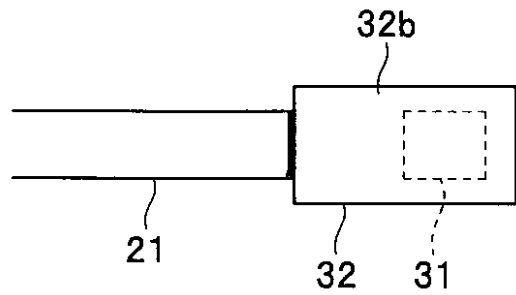
【図2A】



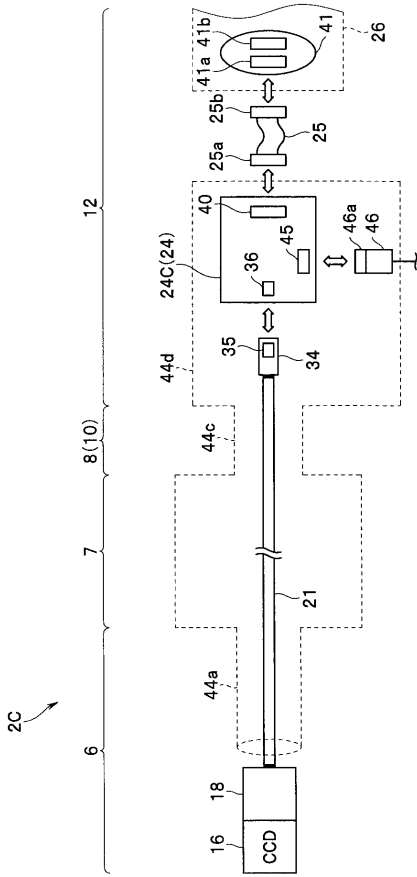
【図2B】



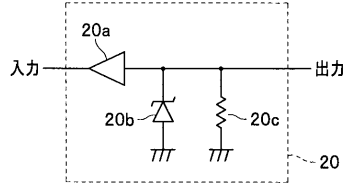
【図2C】



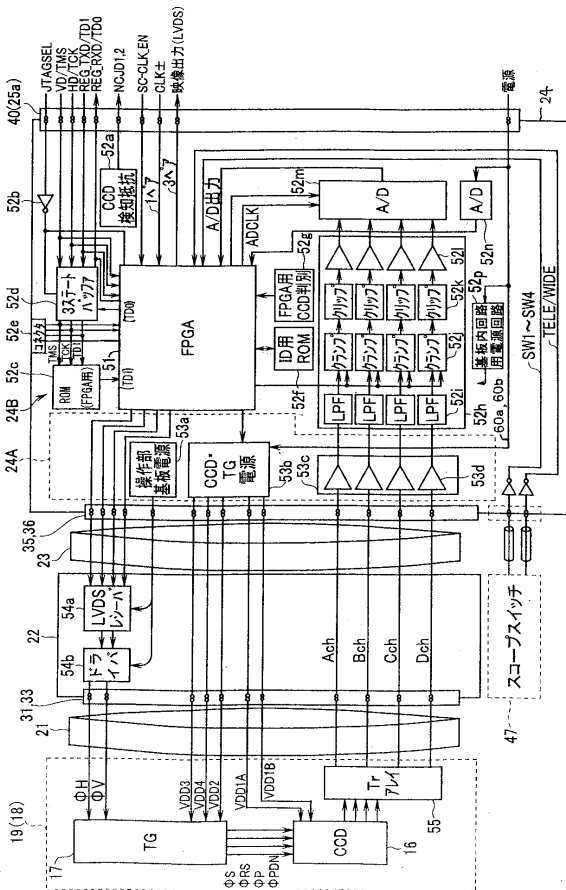
【図2D】



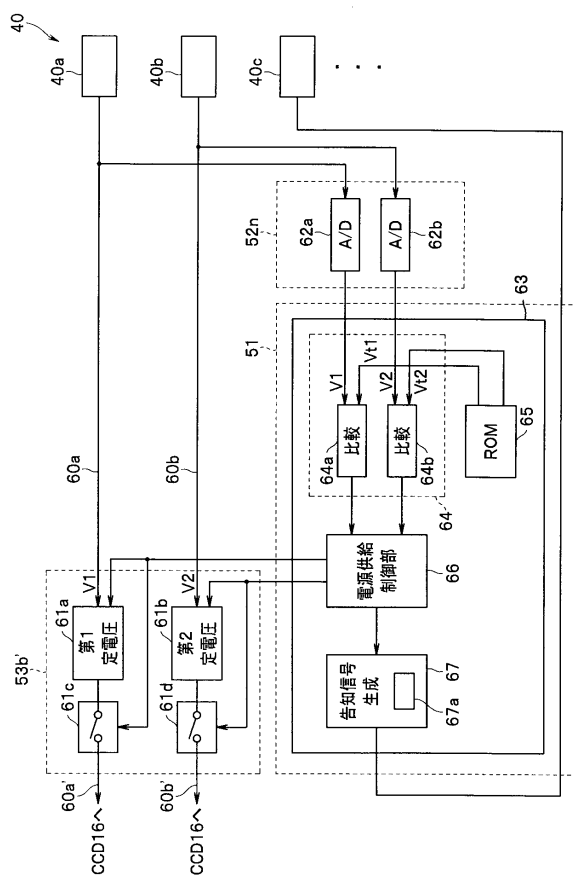
【図2E】



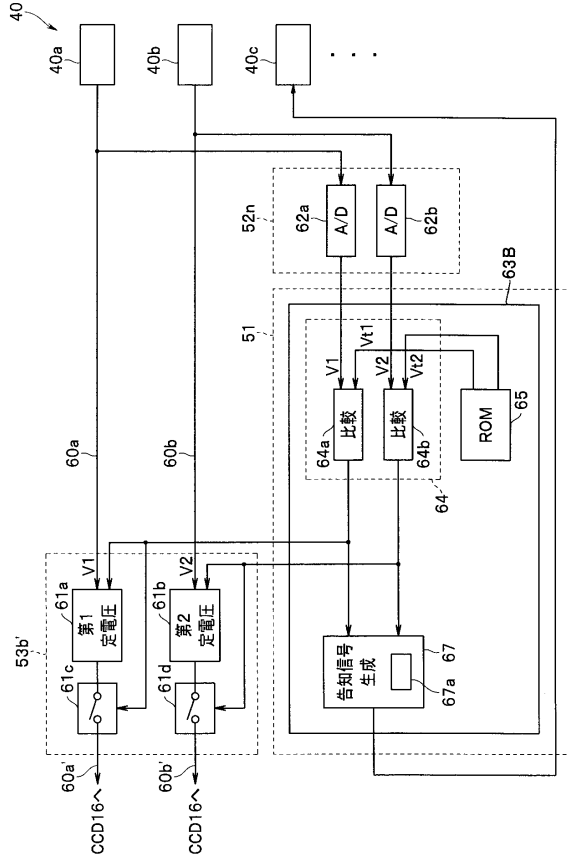
【図3】



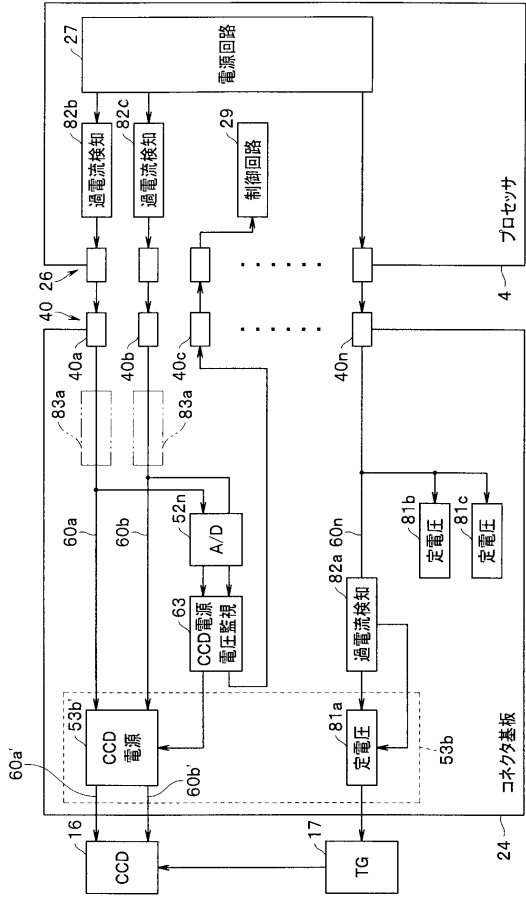
【図4A】



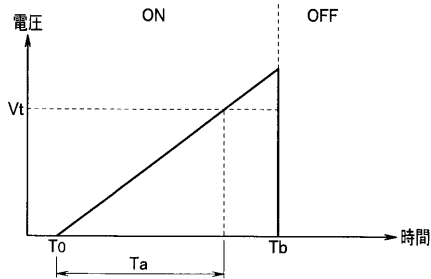
【図4B】



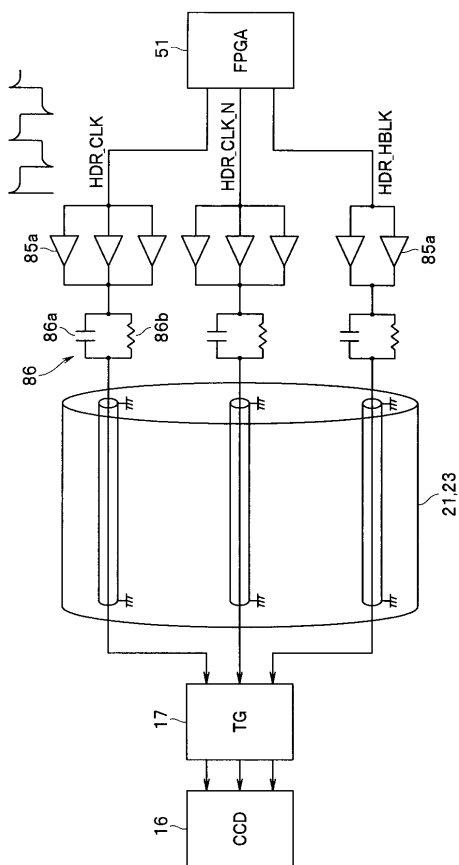
【図4C】



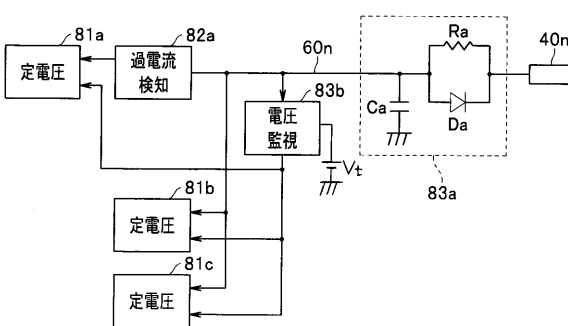
【図4D】



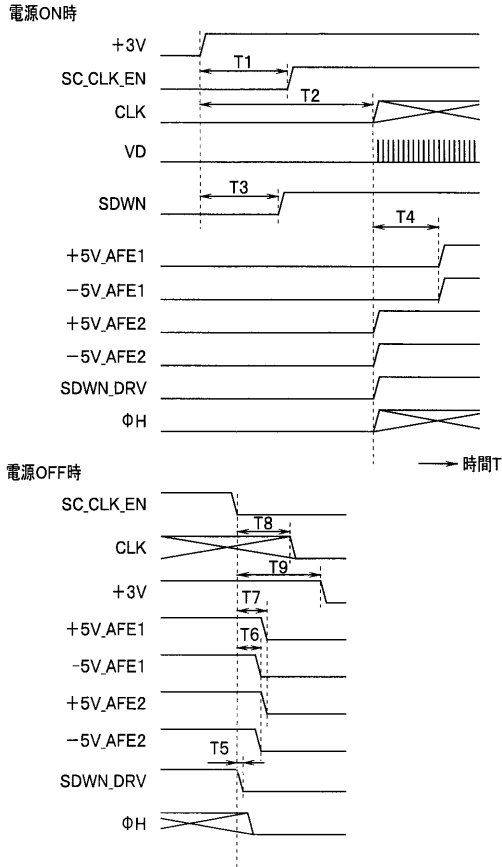
【図5A】



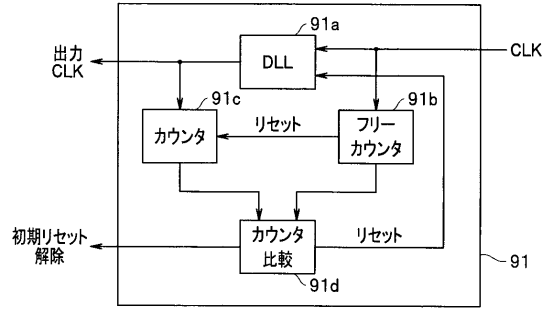
【図4E】



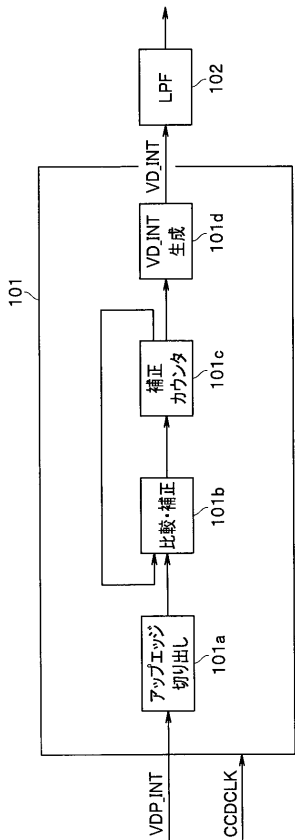
【図5B】



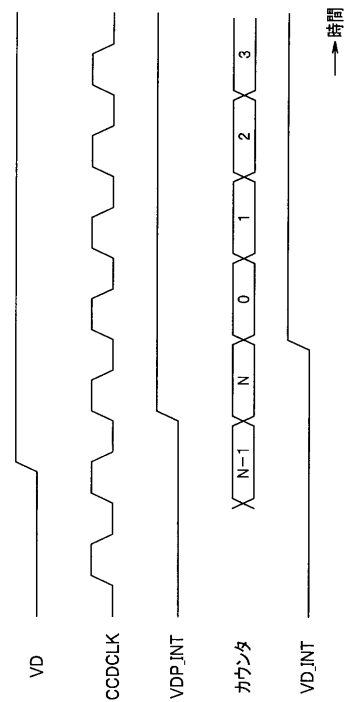
【図5C】



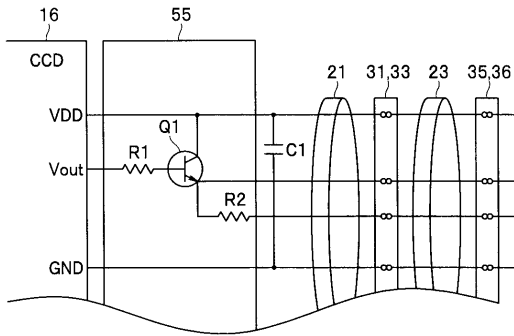
【図5D】



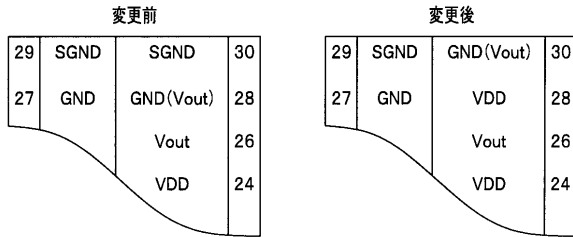
【図5E】



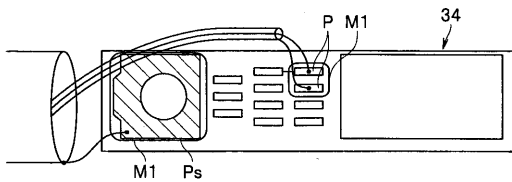
【図 6 A】



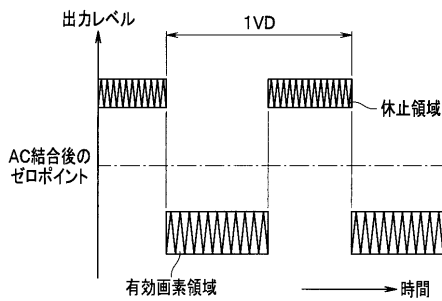
【図 6 B】



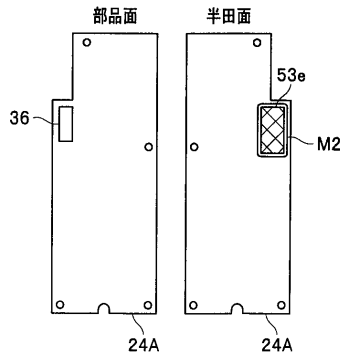
【図 7】



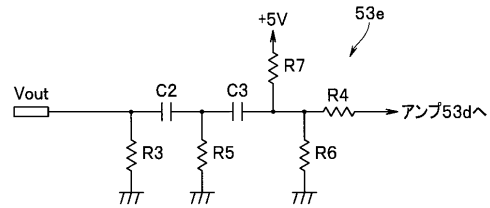
【図 8 C】



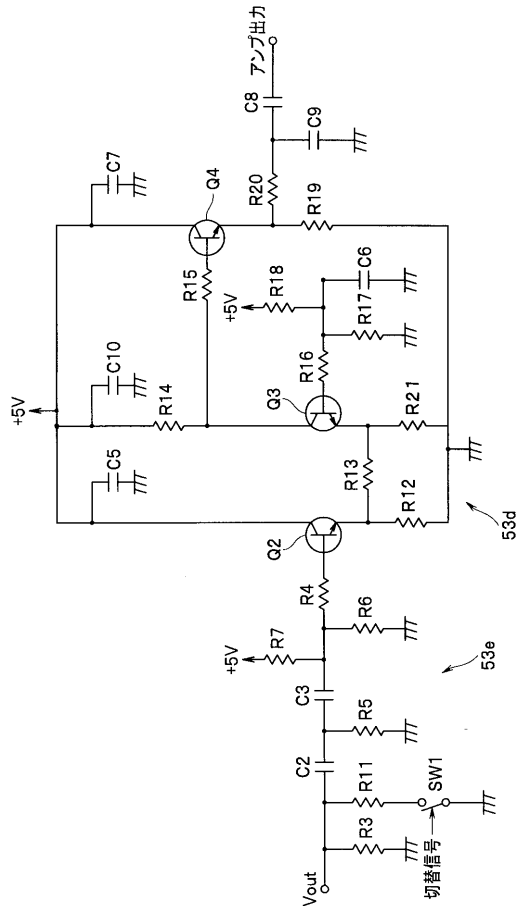
【図 8 A】



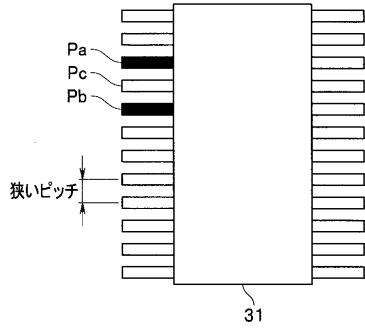
【図 8 B】



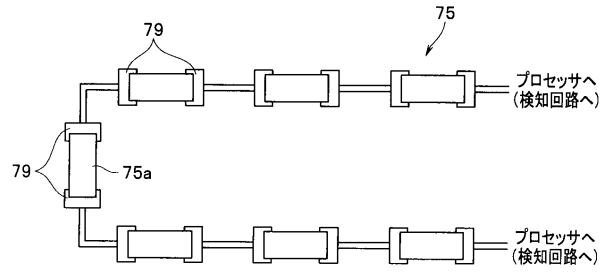
【図 8 D】



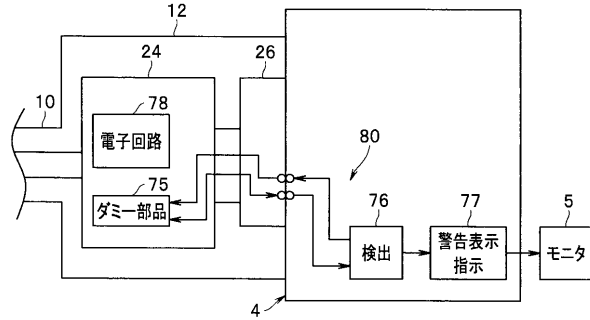
【図9】



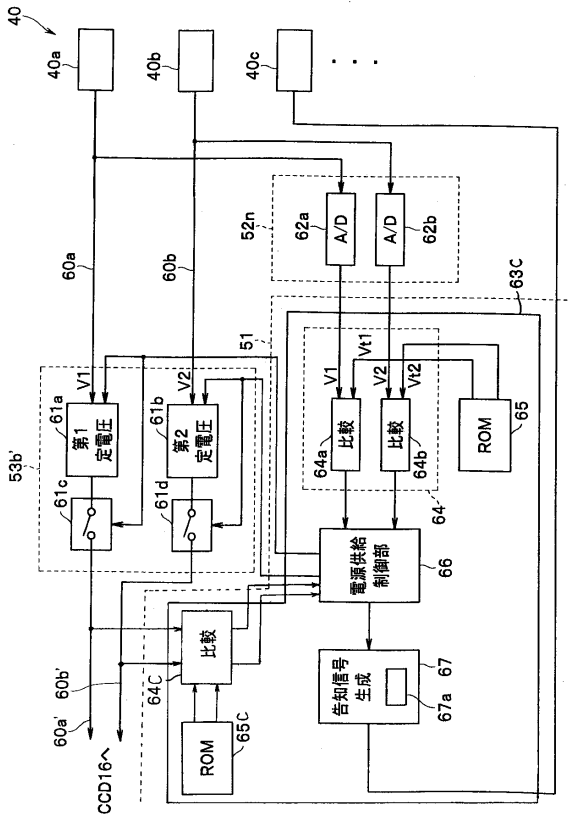
【図10B】



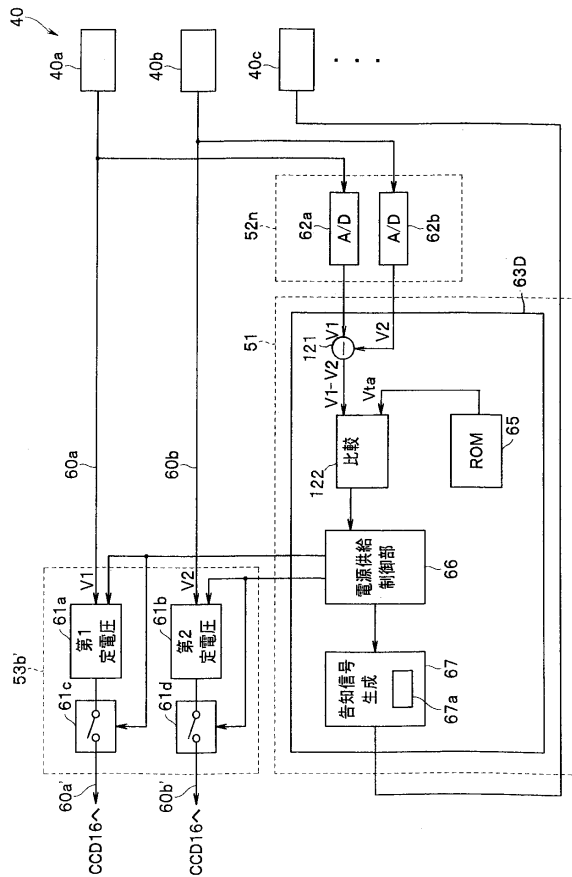
【図10A】



【図11】



【図12】



フロントページの続き

- (72)発明者 橋本 秀範
東京都渋谷区幡ヶ谷2丁目43番2号 オリジナルメディカルシステムズ株式会社内
- (72)発明者 田中 靖洋
東京都渋谷区幡ヶ谷2丁目43番2号 オリジナルメディカルシステムズ株式会社内
- (72)発明者 松井 泰憲
東京都渋谷区幡ヶ谷2丁目43番2号 オリジナルメディカルシステムズ株式会社内

審査官 伊藤 昭治

- (56)参考文献 特開2008-29557(JP,A)
特開平5-168588(JP,A)
特開平6-157(JP,A)
特開平7-194530(JP,A)
特開2005-279125(JP,A)
徳本順士, CCDの制御技術と駆動回路設計, トランジスタ技術, 2005年 2月 1日, 第
42巻、第5号, 139~149頁

- (58)調査した分野(Int.Cl., DB名)
A61B 1/00 - 1/32

专利名称(译)	内视镜		
公开(公告)号	JP5298259B1	公开(公告)日	2013-09-25
申请号	JP2013514487	申请日	2012-09-18
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	オリンパスメディカルシステムズ株式会社		
当前申请(专利权)人(译)	オリンパスメディカルシステムズ株式会社		
[标]发明人	大河文行 小西純 橋本秀範 田中靖洋 松井泰憲		
发明人	大河 文行 小西 純 橋本 秀範 田中 靖洋 松井 泰憲		
IPC分类号	A61B1/04		
CPC分类号	H04N5/2253 A61B1/00032 A61B1/04 A61B1/045 G02B23/2469 H04N2005/2255		
FI分类号	A61B1/04.362.J		
代理人(译)	伊藤 进 长谷川 靖 ShinoUra修		
审查员(译)	伊藤商事		
优先权	2011207465 2011-09-22 JP		
其他公开文献	JPWO2013042647A1		
外部链接	Espacenet		

摘要(译)

内窥镜是安装在插入部的末端的图像传感器，具有用于驱动图像传感器的多个不同电源电压的电源，用于驱动图像传感器的驱动信号以及由驱动信号驱动的图像传感器。基于电压比较单元的比较结果，该电压比较单元将传输成像信号的布线与从传感器输出的地电平进行比较。电源控制装置，用于控制向元件的电源。

【图 1】

